

HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



NGUYỄN TIẾN LẬP

**NGHIÊN CỨU THIẾT KẾ MODUL ĐÓNG KHUNG E1
BẰNG FPGA**

Chuyên ngành: KỸ THUẬT VIỄN THÔNG

Mã số: 08.52.02.08

TÓM TẮT LUẬN VĂN THẠC SĨ

(Theo định hướng ứng dụng)

HÀ NỘI – 2019

Luận văn được hoàn thành tại:

HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG

Người hướng dẫn khoa học: TS. NGUYỄN NGỌC MINH

Phản biện 1:

Phản biện 2:

Luận văn sẽ được bảo vệ trước Hội đồng chấm luận văn thạc sĩ tại
Học viện Công nghệ Bưu chính Viễn thông

Vào lúc: giờ ngày tháng năm

Có thể tìm hiểu luận văn tại:

- Thư viện của Học viện Công nghệ Bưu chính Viễn thông

MỞ ĐẦU

Ngày nay cùng với các công nghệ xử lý tín hiệu số hiện đại, các thiết bị truyền dẫn số nói chung đã và đang thay thế dần các phương tiện truyền dẫn cũ và lạc hậu. Việc ứng dụng các kỹ thuật xử lý tín hiệu số hiện đại trong các hệ thống thông tin liên lạc ngày càng đem lại lợi ích và hiệu quả rõ rệt, nhất là đối với các thiết bị số được chế tạo trên công nghệ mới như xử lý số (DSP), chip trắng lập trình được (FPGA) và công nghệ chế tạo mạch in nhiều lớp tốc độ cao.

Hiện nay, việc mềm hóa các chip chuyên dụng đang phát triển mạnh, đem lại khả năng thích ứng cao và có thể tái sử dụng, cấu hình lại theo yêu cầu. Trên thế giới xu hướng sử dụng phần mềm để định nghĩa phần cứng và thực hiện trên chip trắng đã được sử dụng rộng rãi, có thể nói hầu như tất cả các thiết bị băng rộng cũng như băng hẹp hiện đại đều sử dụng công nghệ này thay thế dần công nghệ chip chuyên dụng như trước đây.

Đối với các cơ sở nghiên cứu trong nước, đây thực sự là cơ hội để các cán bộ nghiên cứu áp dụng công nghệ hiện đại vào trong thiết kế sản xuất. Việc mềm hóa các phần cứng mang lại nhiều hiệu quả thiết thực. Giảm thiểu độ rủi ro so với khi thiết kế hoàn toàn bằng phần cứng. Điều quan trọng là có thể thiết kế một lần và dùng lại, có phần mềm hỗ trợ mô phỏng trước khi thực hiện trên phần cứng. Đó là những lợi ích mà phương pháp thiết kế mới mang lại.

Với ưu điểm vượt trội của công nghệ FPGA và ngôn ngữ mô tả phần cứng (VHDL), tôi đã chọn đề tài luận văn là: **“Nghiên cứu thiết kế modul đóng khung E1 bằng FPGA”**.

Mục đích nghiên cứu

Mục đích của đề tài là nghiên cứu kỹ thuật đóng khung dữ liệu E1, ứng dụng thuật toán xử lý tín hiệu số thiết kế modul đóng khung E1 trên công nghệ chip trắng lập trình được (FPGA) sử dụng ngôn ngữ mô tả phần cứng (VHDL).

Luận văn được chia làm 3 chương:

Chương 1 Các vấn đề kỹ thuật

Trình bày tổng quan về lý thuyết đóng gói luồng E1, trong đó tìm hiểu về lý thuyết chung ghép kênh theo thời gian, cấu trúc khung E1 theo chuẩn ITU-T. Trình bày tóm tắt về sự hình thành, phát triển, ứng dụng của công nghệ FPGA. Trình bày tóm tắt về ngôn ngữ lập trình mô tả phần cứng VHDL.

Chương 2 Thiết kế modul đóng khung E1 bằng FPGA trên bảng mạch thực tế

Thực hiện thiết kế board mạch phần cứng sử dụng công cụ thiết kế mạch Altium Designer theo các bước thiết kế sơ đồ nguyên lý, layout, đặt gia công tại nhà máy và hàn dán các linh kiện. Board mạch này thực chất là mạch trung kế luồng E1 trong một thiết bị truyền dẫn, trong đó modul đóng khung E1 được mềm hóa bằng FPGA.

Thực hiện thiết kế modul đóng khung E1 bằng FPGA sử dụng ngôn ngữ mô tả phần cứng VHDL. Sử dụng công cụ ISE tiến hành lập trình và thực hiện mô phỏng trên công cụ ModelSim.

Chương 3 Thực thi và kết quả

Tiến hành tổng hợp thiết kế trên công cụ ISE, tạo ra file thực thi cho FPGA (dạng .bit và dạng .mcs), nạp cho FPGA và xem xét kết quả.

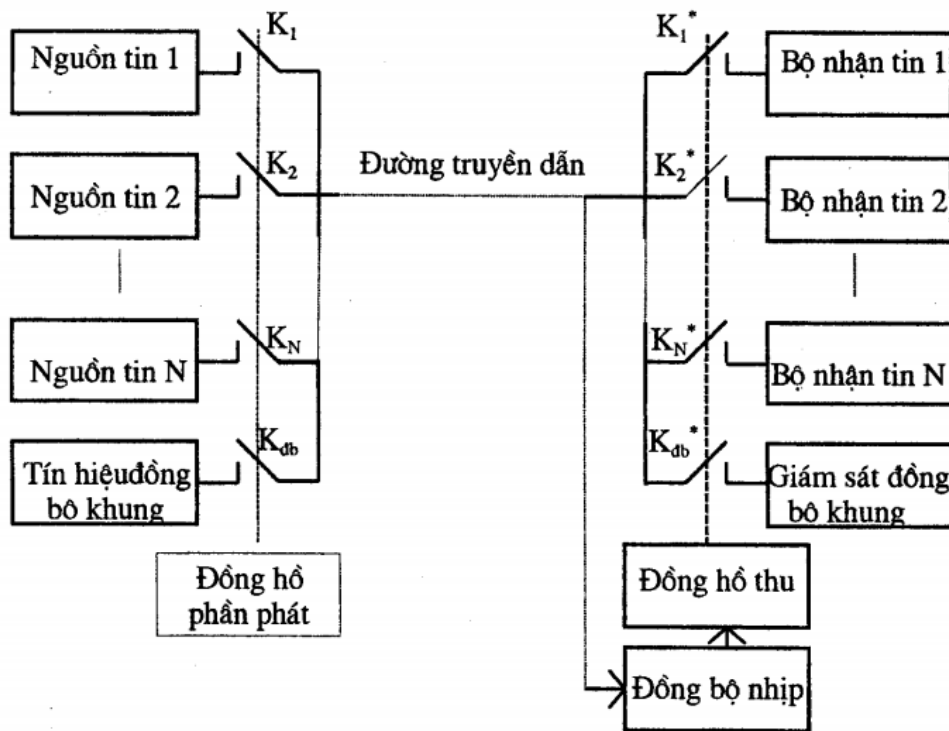
CHƯƠNG 1 – CÁC VẤN ĐỀ KỸ THUẬT

Tóm tắt: Chương 1 nghiên cứu lý thuyết các vấn đề kỹ thuật có liên quan đến đề tài, chẳng hạn như nguyên lý ghép kênh theo thời gian, lý thuyết ghép kênh đồng bộ và ghép kênh cận đồng bộ, cấu trúc khung E1 theo tiêu chuẩn ITU-T; sơ lược về công nghệ FPGA, giải pháp và tổ chức phần mềm đảm bảo của Xilinx, các bước thực hiện thiết kế trên FPGA; các kiến thức cơ bản về VHDL.

1.1 – Tổng quan đóng gói luồng E1

1.1.1 – Nguyên lý ghép kênh theo thời gian

Nguyên lý ghép kênh theo thời gian có thể giải thích một cách đơn giản thông qua sơ đồ hình 1.1.



Hình 1.1: Nguyên lý ghép kênh theo thời gian

Dưới tác động của các xung đồng hồ (xung nhịp) các khóa K_1 , K_2 , ..., K_N lần lượt nối trong những khe thời gian xác định các nguồn tin thứ 1, 2, ..., N với đường truyền dẫn. Ở phía thu, các khóa K_1^* , K_2^* , ..., K_N^* lần lượt nối đường truyền dẫn với các bộ nhận tin thứ 1, 2, ..., N một cách tương

ứng. Các thiết bị đóng vai trò hệ thống các khóa chuyển mạch ở phần phát và phần thu được gọi một cách tương ứng là bộ phân phối phát và bộ phân phối thu. Chúng là thành phần cốt lõi của các thiết bị ghép kênh (ở phần phát) và phân kênh (ở phần thu). Chu kì làm việc của bộ phân phối phát và phân phối thu chính là độ dài khung của một tín hiệu nhánh và được gọi là một khung. Một khi các bộ phân phối phát và phân phối thu hoạt động đồng bộ với nhau thì việc truyền tin giữa các cặp nguồn tin – bộ nhận tin sẽ diễn ra không lỗi. Việc mất đồng bộ giữa phân phối phát và phân phối thu có thể dẫn đến những sai lạc thông tin rất trầm trọng và vì vậy đồng bộ là chỉ tiêu hàng đầu trong ghép kênh theo thời gian. Để đảm bảo yêu cầu cao về đồng bộ (giống đúng thời gian đóng mở các cặp khóa $K_i - K_i^*$ như trên hình 1.1) cần có các thiết bị đồng bộ thực hiện duy trì hoạt động đồng bộ của phân phối phát và phân phối thu, bao gồm cả đồng bộ nhịp và đồng bộ khung.

1.1.2 – Ghép kênh đồng bộ và ghép kênh cận đồng bộ

*** Ghép kênh đồng bộ**

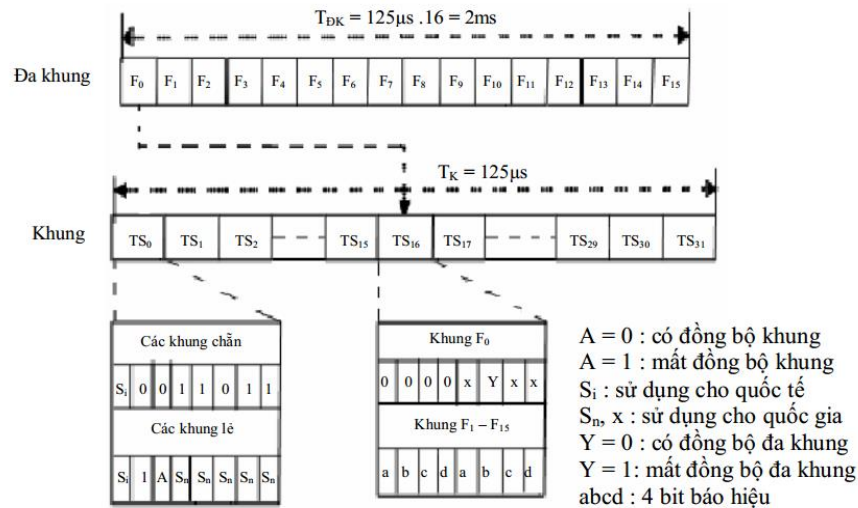
*** Ghép kênh cận đồng bộ**

1.1.3 – Cấu trúc khung E1 theo tiêu chuẩn ITU-T

Tín hiệu số đầu ra thiết bị PCM-30 được sắp xếp thành khung và đa khung trước khi truyền. Cấu trúc của khung và đa khung như hình 1.2.

Mỗi khung có thời hạn là 125 μ s, được chia thành 32 khe thời gian và đánh số thứ tự từ TS_0 đến TS_{31} . Mỗi TS có thời hạn là 3,9 μ s và ghép 8 bit số liệu.

Khe TS_{16} của khung F_0 truyền từ mã đồng bộ đa khung vào vị trí các bit thứ nhất đến bit thứ tư, bit thứ 6 truyền cảnh báo xa khi mất đồng bộ đa khung ($Y = 1$), các bit x dùng cho quốc gia (nếu không dùng thì đặt $x = 1$).



Hình 1.2: Cấu trúc khung E1 theo tiêu chuẩn ITU-T

Các khe thời gian TS₁₆ của khung F₁ đến khung F₁₅ dùng để truyền báo hiệu. Báo hiệu của mỗi kênh thoại được mã hóa thành 4 bit a, b, c, d và ghép vào nửa khe thời gian TS₁₆. Nửa bên trái truyền báo hiệu của các kênh thoại từ 1 đến 15, nửa bên phải truyền báo hiệu của các kênh thoại từ 16 đến 30. Như vậy, phải có 16 khe thời gian TS₁₆ trong một đa khung mới đủ để truyền báo hiệu và đồng bộ đa khung. Đó cũng là lý do mỗi đa khung chứa 16 khung. Nếu các bit abcd không dùng cho báo hiệu thì đặt b=1, c=0, d=1. Ngoài ra cần lưu ý không dùng tổ hợp 0000 để truyền báo hiệu vì nó trùng với từ mã đồng bộ đa khung.

Các khe TS₀ của các khung truyền từ mã đồng bộ khung.

Tín hiệu các kênh thoại thứ nhất đến thứ 15 ghép vào các khe thời gian TS₁ đến TS₁₅, tín hiệu các kênh thoại thứ 16 đến 30 ghép vào các khe thời gian TS₁₇ đến TS₃₁.

1.2 – Công nghệ FPGA

1.2.1 – Sơ lược về công nghệ FPGA

- * Lịch sử ra đời FPGA
- * Ứng dụng của FPGA
- * Kiến trúc của FPGA

Cấu trúc tổng thể của một FPGA bao gồm 4 phần chính: Các khối logic, hệ thống mạch liên kết, các phần tử tích hợp sẵn và block RAM.

1.2.2 – Giải pháp và tổ chức phần mềm đảm bảo của Xilinx

Thiết kế logic lập trình được đã đưa ra kỉ nguyên mà trong đó mật độ của thiết bị ở đơn vị hàng triệu cổng, sự thực hiện của hệ thống ở tốc độ hàng trăm MHz. Xilinx đã đưa ra các công cụ thiết kế hoàn toàn đầy đủ mà nó cho phép thực hiện các thiết kế trong họ PLD của Xilinx. Các giải pháp phát triển kết hợp với các kỹ thuật mạnh tạo ra một sự linh hoạt, mềm dẻo, giao tiếp đồ họa dễ sử dụng giúp người thiết kế có được các thiết kế tốt nhất có thể trong một dự án lớn mà không cần dựa nhiều vào kinh nghiệm. Công cụ phần mềm thiết kế ISE (*Integrated Synthesis Environment – Môi trường thiết kế tích hợp*) là công cụ thiết kế tổng thể, bao hàm các công cụ phần mềm thiết kế khác nhau và đây cũng là công cụ thiết kế được sử dụng nhiều nhất trong thiết kế các PLD (*Programmable Logic Device*) của Xilinx.

*** Nhập thiết kế**

*** Tổng hợp thiết kế**

*** Thực thi và nạp cấu hình**

*** Tích hợp mức Board**

*** Các kỹ thuật kiểm tra**

1.2.3 – Các bước thực hiện thiết kế trên FPGA

*** Mô tả ban đầu về thiết kế (Specification)**

Khi thực hiện một bài toán sử dụng FPGA, thì nó có ý nghĩa cho một ứng dụng riêng biệt. Chính vì xuất phát từ mỗi ứng dụng trong thực tiễn cuộc sống, ta sẽ phải đặt ra yêu cầu thiết kế sao cho IC thực hiện được tối ưu nhất những ứng dụng đó. Bước đầu tiên của quy trình thiết kế này có nhiệm vụ tiếp nhận những yêu cầu của thiết kế và xây dựng nên kiến trúc

tổng quát của thiết kế. Quá trình này bao gồm các bước sau: Mô tả thiết kế, mô phỏng chức năng, tổng hợp logic và hiệu chỉnh các kết nối.

*** Thực thi (Implementation)**

Khi đã có sơ đồ bố trí netlist mô tả tổng thể thiết kế tại mức cổng (chỉ gồm các cổng logic cơ bản và các mạch logic khác như MUX). Quá trình này sẽ đặt sơ đồ netlist lên chip, gọi là quá trình thực thi (Device Implementation). Quá trình gồm các bước sau: Ánh xạ, đặt khối và định tuyến.

*** Quá trình nạp (download) và lập trình (program)**

1.3 – Ngôn ngữ lập trình VHDL

VHDL là một ngôn ngữ mô tả phần cứng (*Hardware Description Language*), được dùng phổ biến trong việc thiết kế các mạch tích hợp và các hệ thống số một cách dễ dàng và hiệu quả với tốc độ cao.

Ngôn ngữ VHDL dựa trên một ngôn ngữ mô tả phần cứng khác là VHSIC (*Very High Speed Integrated Circuit*) do Bộ quốc phòng Mỹ phát triển từ năm 1980. Phiên bản đầu tiên của ngôn ngữ VHDL là VHDL 87. VHDL là một ngôn ngữ mô tả phần cứng đầu tiên được tổ chức IEEE chứng nhận là một tiêu chuẩn chung.

1.3.1 – Các cấu trúc cơ bản của ngôn ngữ lập trình VHDL

1.3.2 – Các đối tượng dữ liệu

*** Các hằng**

*** Các biến**

*** Các kiểu tín hiệu**

1.3.3 – Các kiểu dữ liệu

1.3.4 – Các toán tử

*** Các toán tử logical**

*** Các toán tử quan hệ**

*** Các toán tử cộng**

1.3.5 – Các kiểu toán hạng***1.3.6 – Các phát biểu tuần tự******1.3.7 – Các phát biểu đồng thời******1.3.8 – Các đóng gói******1.3.9 – Mô hình cấu trúc*****1.4 - Tổng kết chương 1**

Chương 1 đã nêu ra các lý thuyết tổng quát liên quan đến đóng gói luồng E1 như nguyên lý ghép kênh theo thời gian, ghép kênh đồng bộ và ghép kênh cận đồng bộ, cấu trúc khung E1 theo tiêu chuẩn ITU-T; đã giới thiệu sơ lược về công nghệ FPGA, các giải pháp và tổ chức phần mềm đảm bảo của Xilinx, các bước thực hiện thiết kế trên FPGA; đồng thời khái quát về ngôn ngữ lập trình VHDL như các cấu trúc cơ bản, các đối tượng dữ liệu, các kiểu dữ liệu, các toán tử, các kiểu toán hạng, các phát biểu tuần tự, các phát biểu đồng thời, các đóng gói, mô hình cấu trúc v.v...

Như vậy trong chương 1 đã khái quát lên được các vấn đề kỹ thuật liên quan đến thiết kế, làm cơ sở lý thuyết cũng như làm công cụ tham chiếu để thiết kế được thực hiện chính xác và thành công.

CHƯƠNG 2 - THIẾT KẾ MODUL ĐÓNG KHUNG E1

BẢNG FPGA TRÊN BẢNG MẠCH THỰC TẾ

Tóm tắt: *Chương 2 tiến hành thiết kế phần cứng, phần mềm, bao gồm thiết kế sơ đồ nguyên lý bảng mạch thử nghiệm, thiết kế sơ đồ mạch in bảng mạch thử nghiệm; xây dựng sơ đồ khối của thiết kế phần mềm, tiến hành thiết kế các khối phần mềm và cho ra sơ đồ nguyên lý tổng thể của thiết kế phần mềm. Bên cạnh đó chương cũng tiến hành nghiên cứu các kiến thức liên quan như nghiên cứu về họ FPGA mà ta sử dụng là Spartan-3E, nghiên cứu về môi trường thiết kế ISE của Xilinx.*

2.1 – IC spartan xc3s500E

2.1.1 – Họ IC Spartan-3E

2.1.2 – Các tính năng cơ bản

2.1.3 – Kiến trúc tổng quan

2.2 – Thiết kế phần cứng, phần mềm

2.2.1 – Thiết kế phần cứng

Phần này tiến hành thiết kế một board mạch (thực chất là card trung kế E1 trong một thiết bị tương đương tổng đài quân sự) trong đó có sử dụng IC xc3s500E và thực hiện modul đóng gói E1 trong IC đó phục vụ cho chức năng trung kế E1. Phần cứng này được thiết kế dựa trên phần mềm Altium, một phần mềm thiết kế mạch rất phổ biến hiện nay.

*** Sơ đồ nguyên lý**

Khối Power là khối cấp nguồn cho các IC, linh kiện trong mạch. Khối cấp 3 loại nguồn cơ bản là 3.3VDC, 2.5VDC, 1.2VDC từ nguồn đầu vào 5VDC.

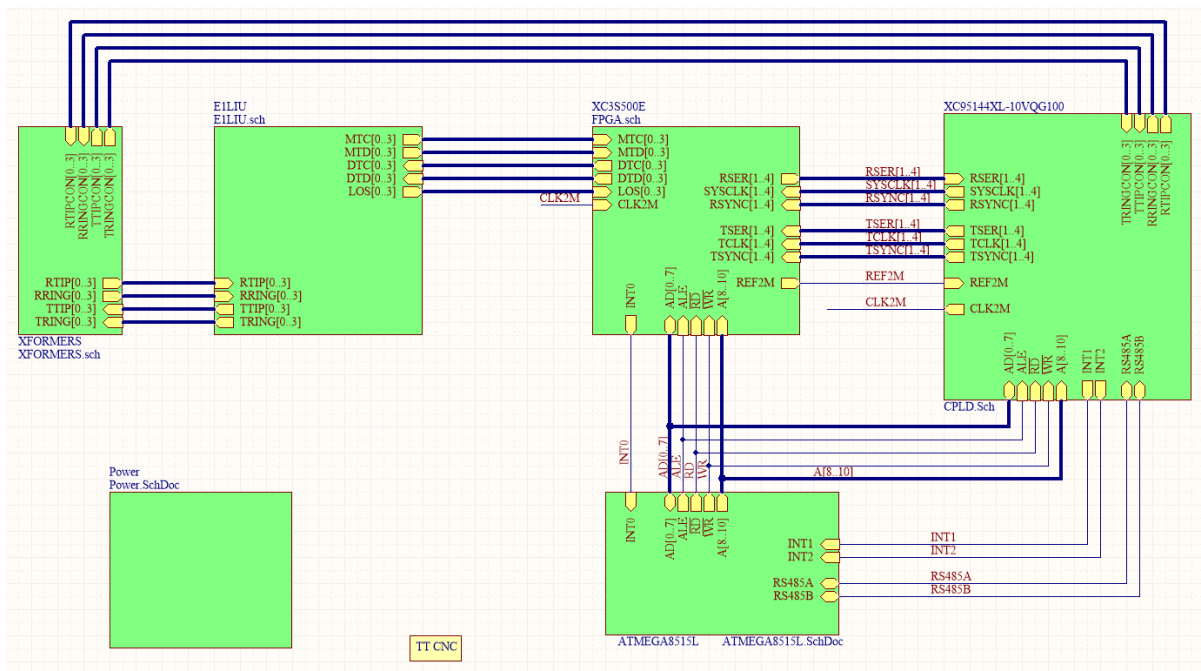
Khối ATMEGA8515L là khối vi điều khiển thực hiện chắc năng điều khiển chung toàn bộ card mạch và kết nối card mạch với các card mạch khác và với toàn bộ thiết bị.

Khối E1LIU là khối có chức năng chuyển đổi tín hiệu dạng bit sang tín hiệu mã đường dây HDB3 để chuyển tải sang thiết bị truyền dẫn và ngược lại chuyển đổi từ tín hiệu HDB3 nhận được thành luồng bit để tiến hành xử lý. Ngoài ra còn các chức năng khôi phục tín hiệu định thời clock, xử lý rung pha, v.v...

Khối XFORMERS là khối biến áp có chức năng phối hợp trở kháng giữa tín hiệu HDB3 đầu ra sau khối E1LIU và đường dây.

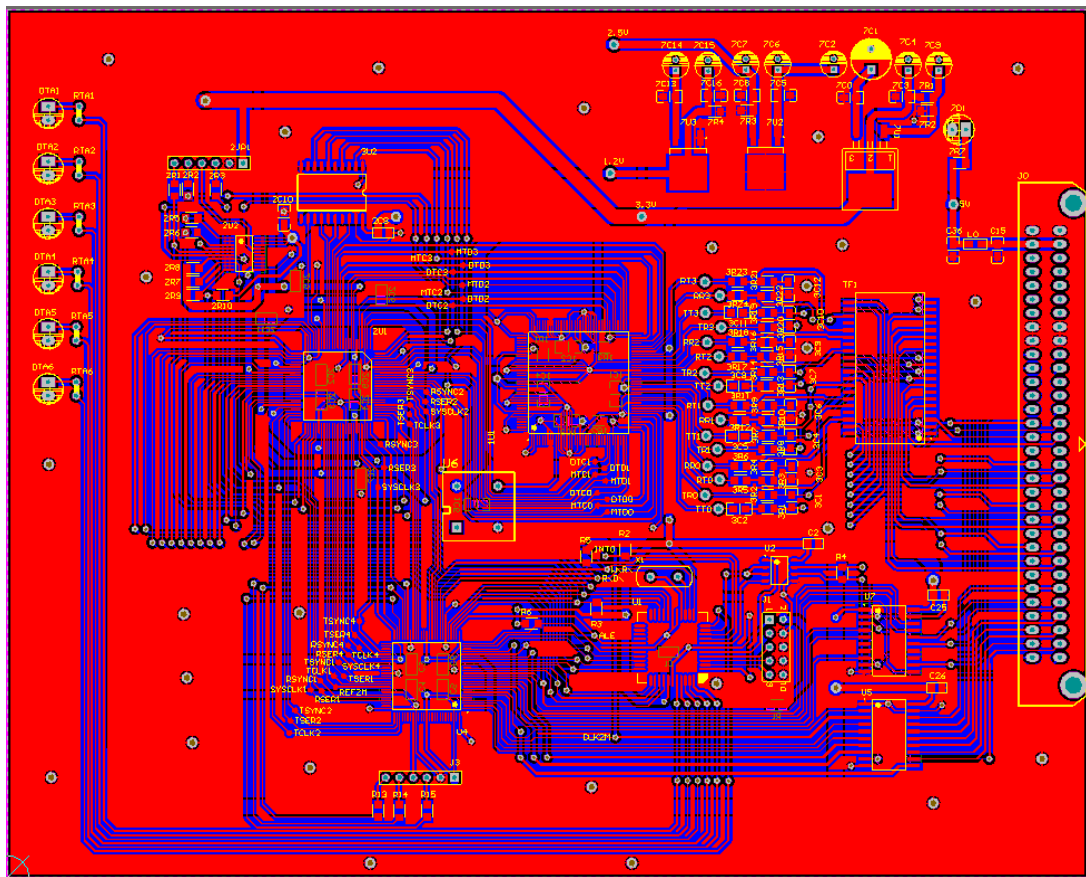
Khối FPGA là khối chính mà ta đang phát triển, trong đó thực hiện xử lý tín hiệu số, đóng gói E1 từ luồng dữ liệu đầu vào để đưa sang khối E1LIU chuyển tải lên đường dây. Trong khối này có hạt nhân chính là IC xc3s500E.

Khối CPLD là khối thực hiện các chức năng giao tiếp giữa vi xử lý và FPGA, đồng thời tạo ra các xung đồng bộ cho FPGA hoạt động.

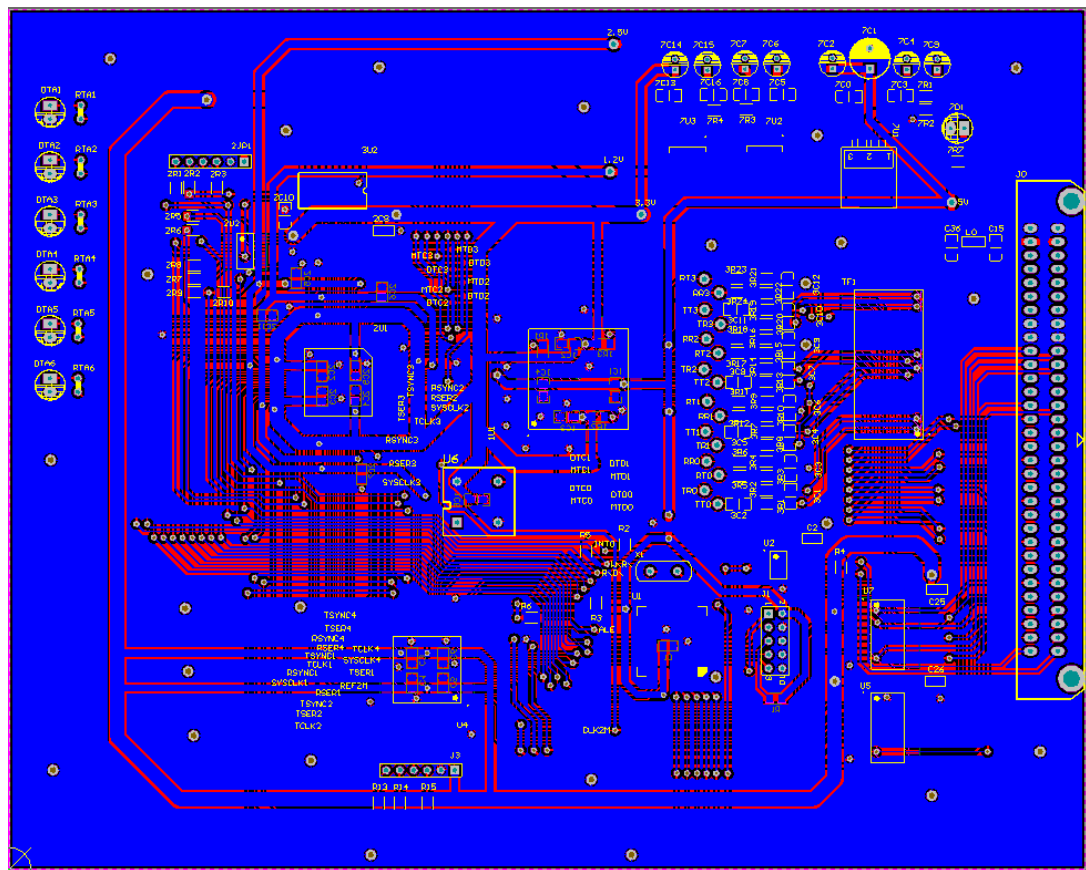


Hình 2.2: Sơ đồ kết nối tổng quát trong card mach

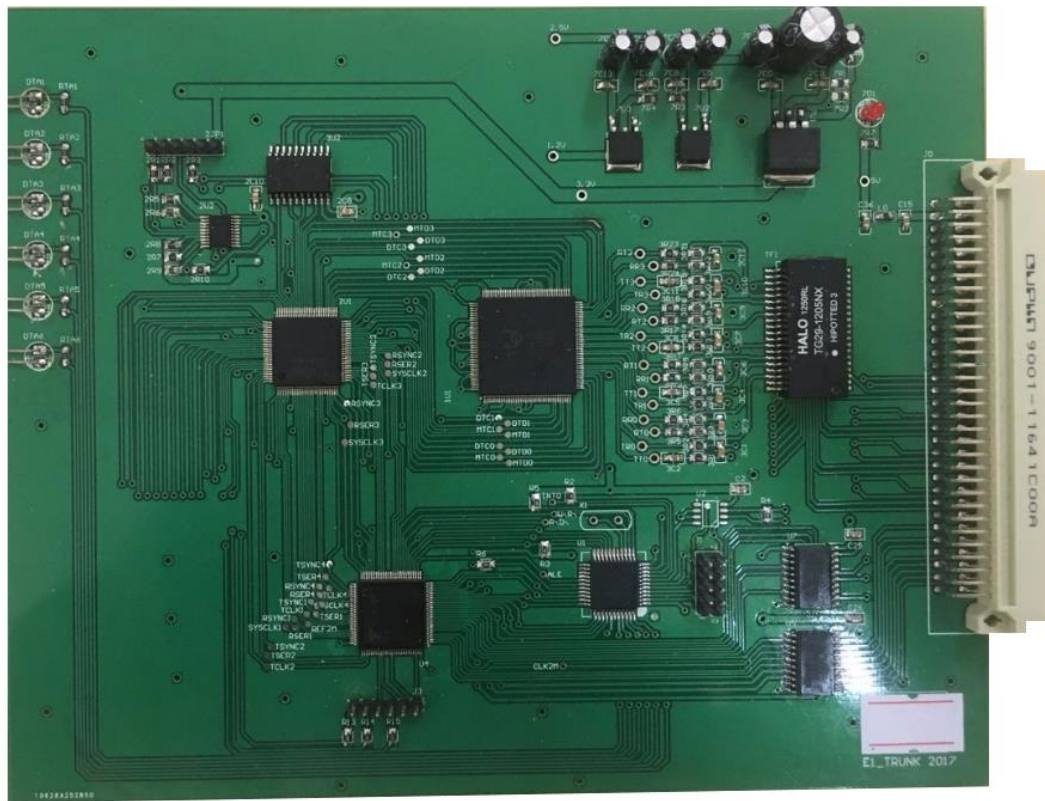
*** Sơ đồ mạch in**



Hình 2.9: Sơ đồ mạch in lớp TOP



Hình 2.10: Sơ đồ mạch in lớp BOTTOM



Hình 2.12: Mạch thực tế

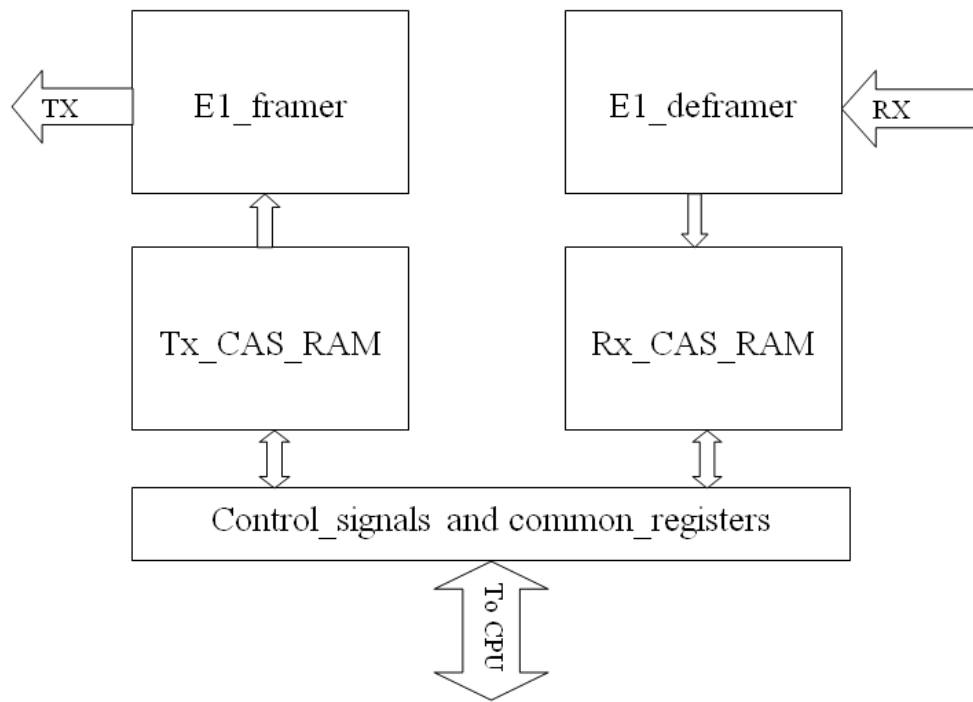
2.2.2 – Thiết kế phần mềm

* Giới thiệu về ISE

ISE (Integrate Software Environment) – môi trường phần mềm tích hợp – là một bộ phần mềm thiết kế của Xilinx. ISE cho phép tạo ra các sản phẩm thiết kế thông qua việc nhập các thiết kế vào thiết bị chương trình hóa của Xilinx.

* Sơ đồ khối của thiết kế

Khối *Control_signals and Common_registers* thực hiện 2 chức năng cơ bản. Một là tạo các tín hiệu điều khiển chung cho cả modul hoạt động, trong đó có việc tạo các tín hiệu định thời, các bộ đếm và xung nhịp nhằm đồng bộ các tín hiệu và các khối. Hai là thực hiện giao tiếp với CPU để lấy thông tin báo hiệu (CAS) từ CPU cần truyền đi, đồng thời nhận các tín hiệu báo hiệu từ kênh truyền dẫn đưa về cho CPU xử lý.



Hình 2.13: Sơ đồ khối thiết kế phần mềm

Khối *Tx_CAS_RAM* là khối thực hiện lưu trữ và đồng bộ thông tin báo hiệu nhận được từ CPU để truyền đi.

Khối *Rx_CAS_RAM* là khối thực hiện tách ghép, xử lý và lưu trữ thông tin báo hiệu nhận được từ kênh truyền để đưa về CPU.

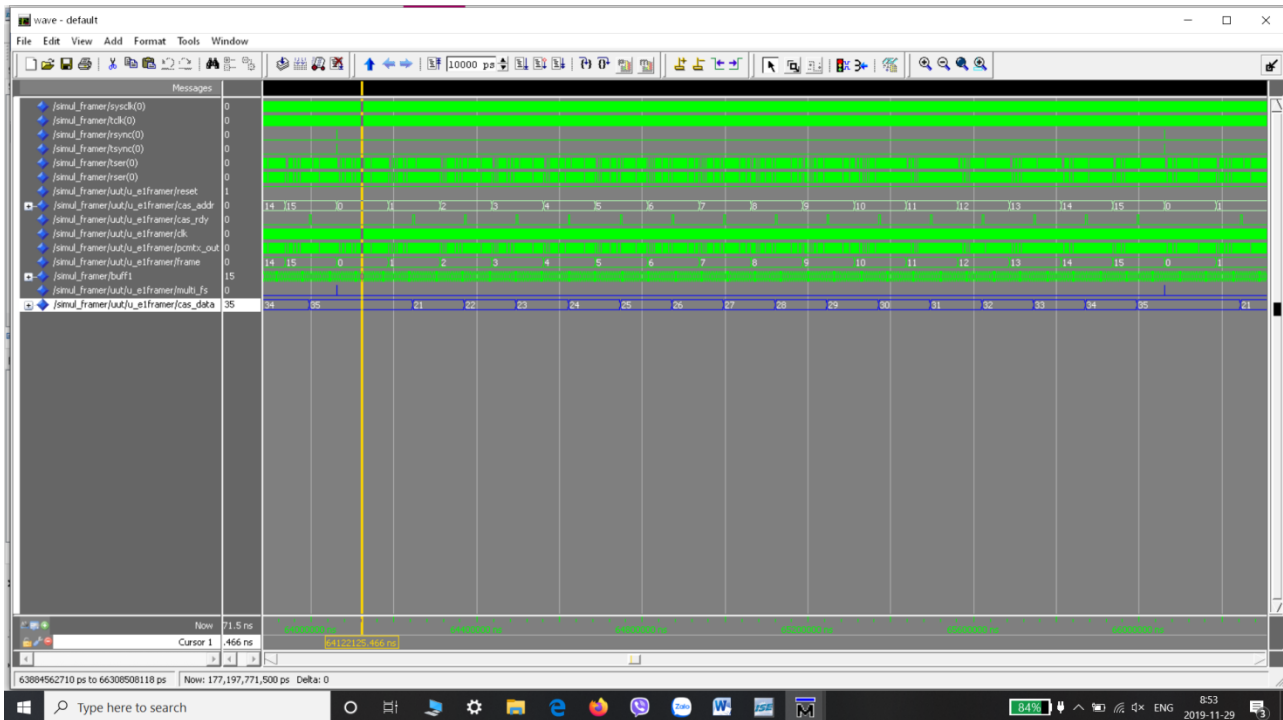
Khối *E1_framer* là khối thực hiện ghép dữ liệu cần truyền đi và thông tin báo hiệu được lưu trữ ở khối *Tx_CAS_RAM* thành khung E1 theo chuẩn của ITU-T.

Khối *E1_deframer* là khối thực hiện tách dữ liệu nhận được từ kênh truyền (theo chuẩn E1) thành dữ liệu của các khe thời gian tương ứng, đồng thời tách thông tin báo hiệu nhận được để gửi tới khối *Rx_CAS_RAM*.

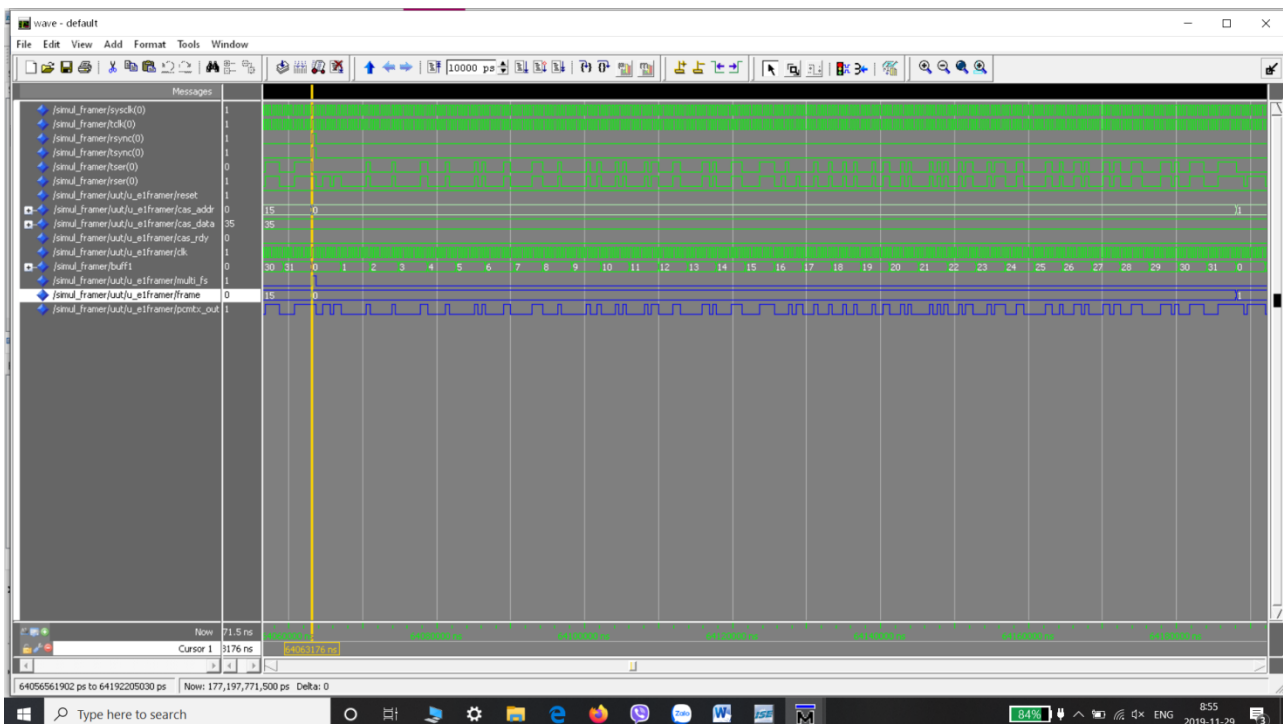
*** Mô tả RTL các khối**

*** Sơ đồ nguyên lý của thiết kế**

Truyền 1 chuỗi dữ liệu là các byte có giá trị từ 0 đến 31 tương ứng với 32 timeslot được thể hiện qua Hình 2.20. Thông tin báo hiệu đưa vào thể hiện qua Hình 2.21. Ta truyền 1 chuỗi byte có giá trị từ 21 đến 35.

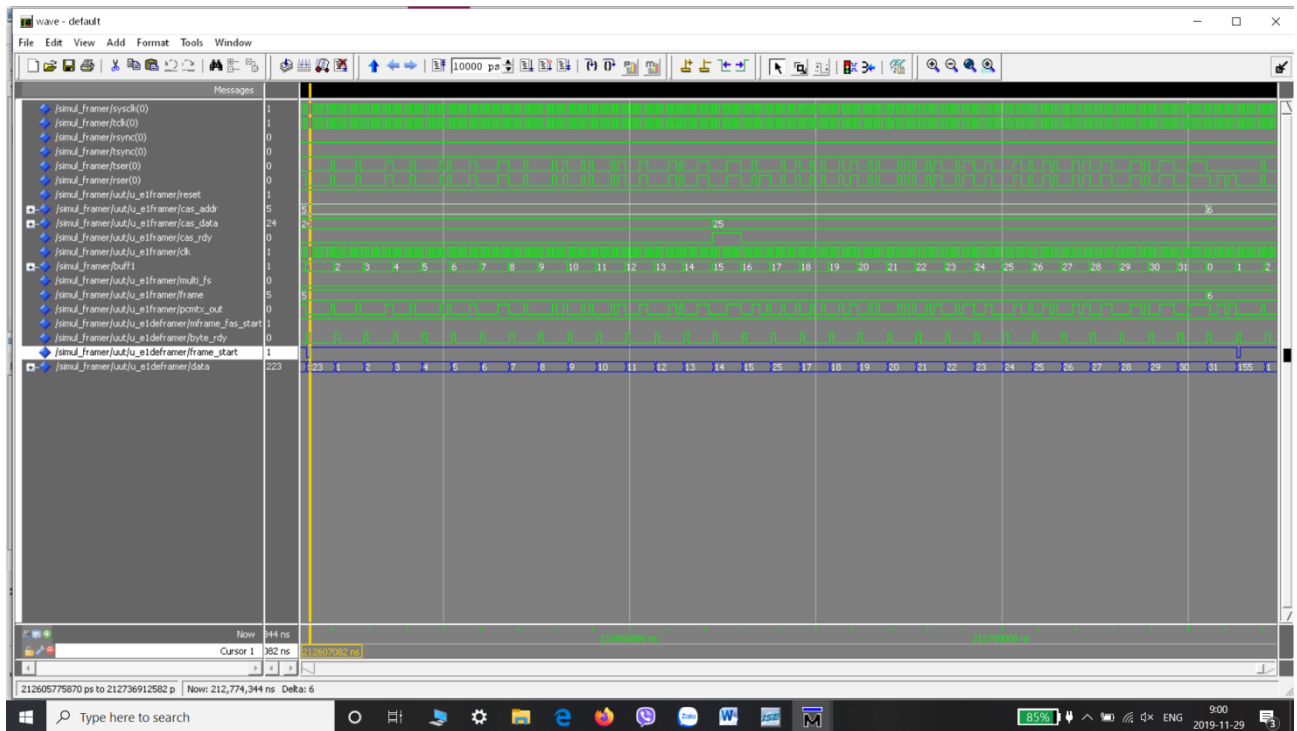


Hình 2. 21: Mẫu dữ liệu báo hiệu CAS đưa vào hệ thống

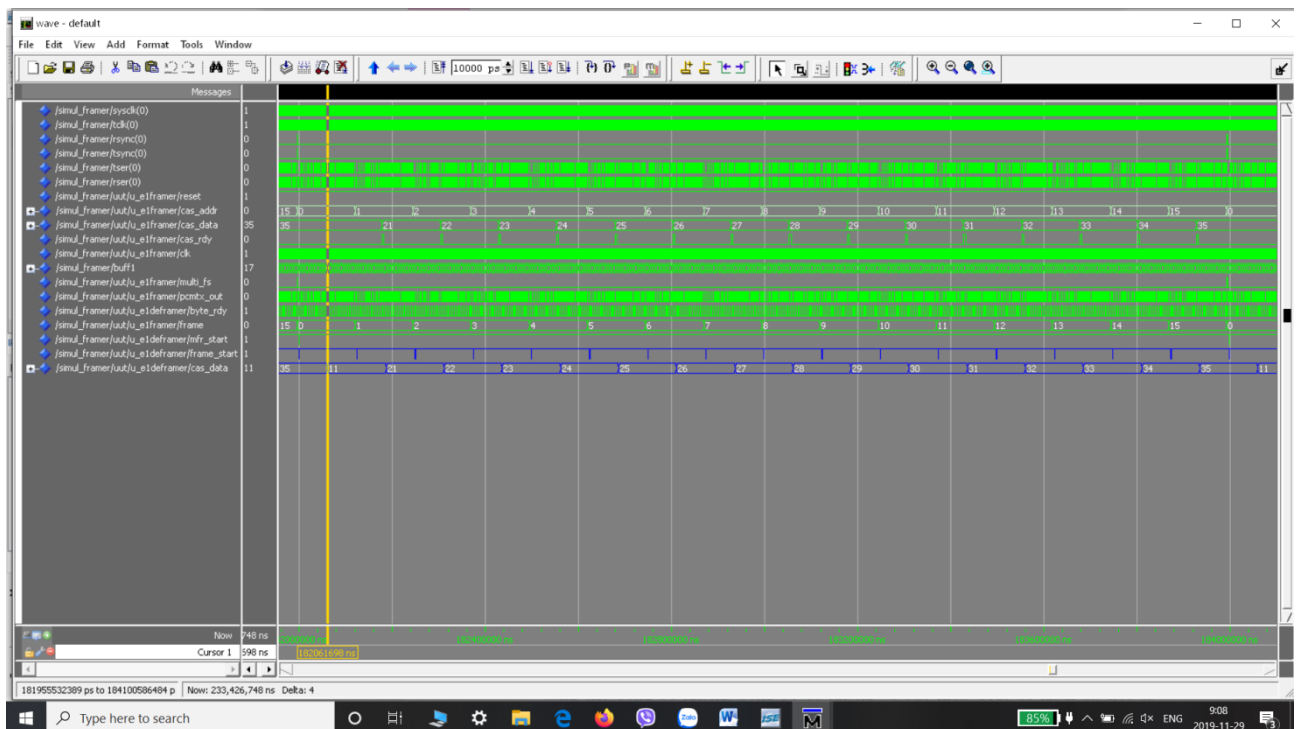


Hình 2. 22: Dạng xung đưa ra đường dây sau khi đã đóng khung E1

Ta lấy luôn chuỗi dữ liệu này làm đầu vào cho bộ tái tạo (deframer).
Sau quá trình xử lý ta nhận được dữ liệu trên các kênh như sau:



Hình 2.23: Chuỗi dữ liệu nhận được sau khi giải đóng khung
Thông tin báo hiệu ta thu được thể hiện qua hình sau:



Ta nhận thấy chuỗi dữ liệu nhận được (ngoại trừ timeslot 0 và timeslot 16) trùng khớp với chuỗi dữ liệu mà ta đưa vào. Như vậy là hệ thống đã truyền nhận dữ liệu chính xác.

Thông tin báo hiệu nhận được chính là chuỗi thông tin báo hiệu ta đã gửi đi, 21 đến 35, tương ứng với timeslot 16 của khung F1 đến khung F15. Khung F0 sẽ nhận được thông tin đồng bộ đa khung.

Như vậy hệ thống đóng khung và giải đóng khung mà ta thiết kế đã thực hiện được chức năng của nó thông qua việc truyền đi một chuỗi dữ liệu và thu về được đúng chuỗi dữ liệu đó.

2.4. Tổng kết chương 2

Chương 2 tiến hành xem xét cụ thể IC mà ta dùng cho thiết kế là xc3s500E, một FPGA thuộc họ Spartan 3E, xem xét cấu trúc và tài nguyên của nó, làm cơ sở để đánh giá độ phù hợp và mức đáp ứng cho thiết kế.

Chương 2 cũng tiến hành các bước thiết kế phần cứng từ sơ đồ nguyên lý đến bố trí linh kiện và layout ra board mạch thực thi, đặt gia công ở nhà máy, tiến hành hàn dán các linh kiện lên board mạch, kiểm tra các đường cấp nguồn, đất, và tín hiệu của board mạch.

Đồng thời tiến hành các bước thiết kế phần mềm như lên sơ đồ khối chức năng, sơ đồ khối chi tiết, xây dựng thuật toán, tiến hành viết code, thực hiện mô phỏng.

CHƯƠNG 3 – THỰC THI VÀ KẾT QUẢ

Tóm tắt: *Chương 3 tiến hành tổng hợp thiết kế, thực hiện thiết kế, tạo bitstream nạp vào FPGA, tạo file nạp cho ROM ngoài của FPGA, nạp file cấu hình cho FPGA và ROM; đưa ra kết quả; tiến hành nhận xét và đánh giá kết quả.*

3.1 – Tổng hợp thiết kế và chạy thử

3.1.1 – Tổng hợp thiết kế

3.1.2 – Thực hiện thiết kế

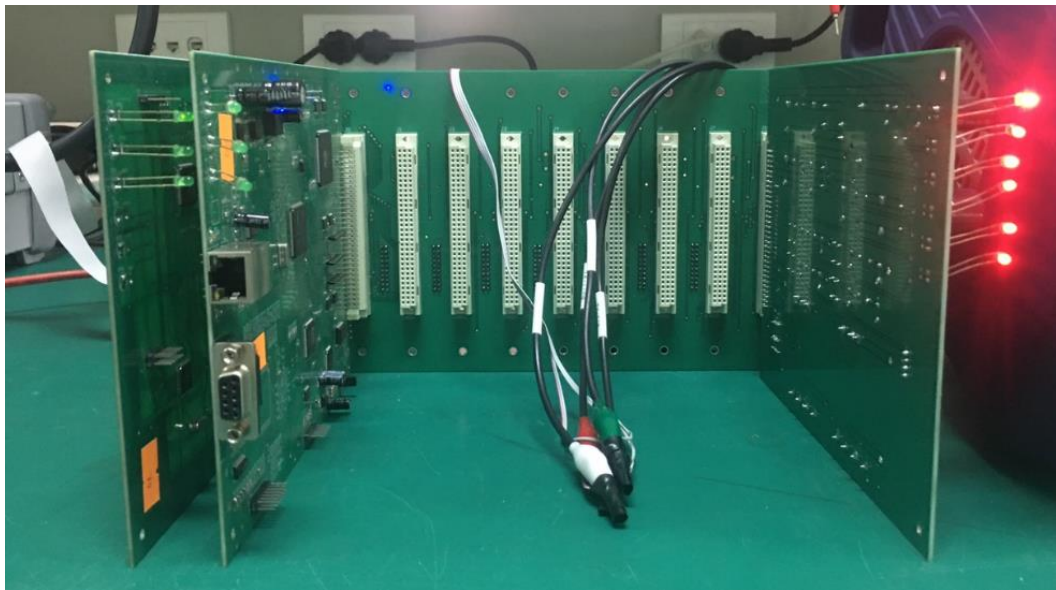
3.1.3 – Tạo bitstream nạp vào FPGA

3.1.4 – Tạo file nạp cho ROM ngoài của FPGA

3.1.5 – Nạp file cấu hình cho FPGA và ROM

3.2 – Kết quả

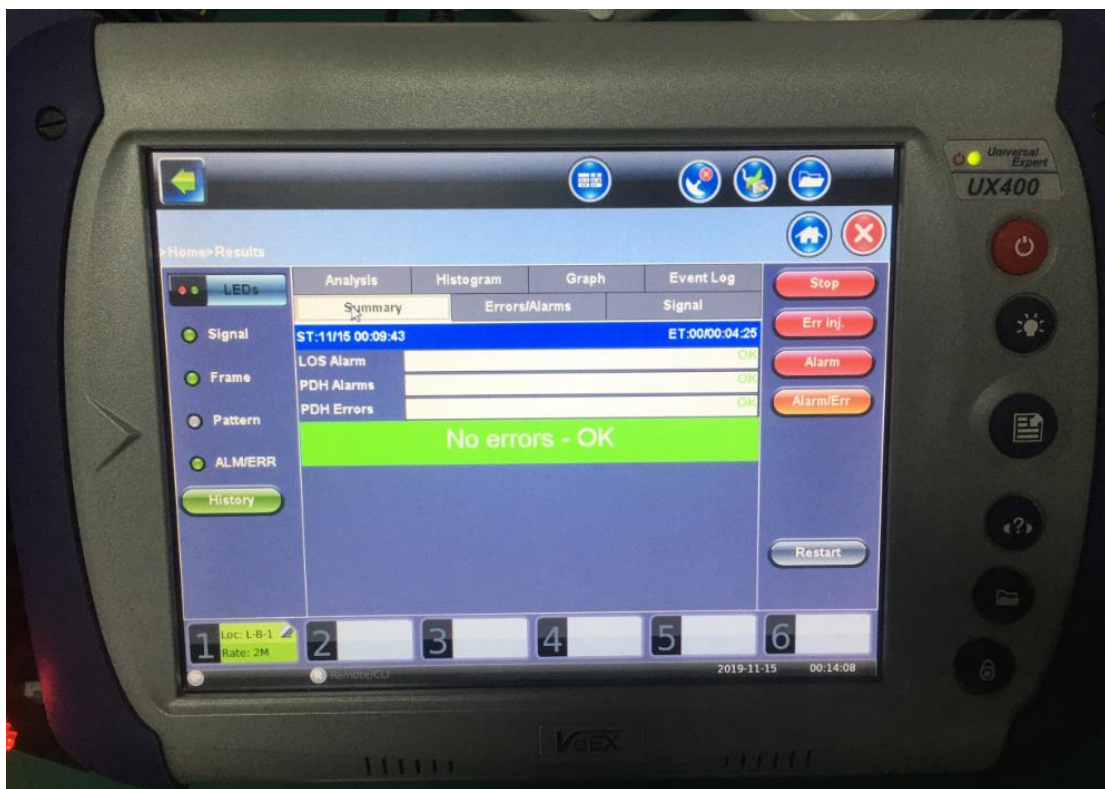
Sử dụng máy đo luồng VeEX UX400 để đánh giá luồng E1 được phát đi bởi modul đóng khung E1 mà ta thiết kế. Thiết lập hệ thống đo gồm có 1 card backplane thực hiện nối các tín hiệu giữa các card, 1 card nguồn để cấp nguồn cho toàn hệ thống, 1 card CPU điều khiển toàn bộ hoạt động của hệ thống, và 1 card trung kế E1 mà lõi là modul đóng khung E1.



Hình 3.12: Thiết lập hệ thống đo kiểm



Hình 3.13: Kết nối hệ thống với máy đo lường VeEX UX400



Hình 3.14: Kết quả đo trên máy đo lường VeEX UX400



Hình 3.15: Các báo cảnh trên máy đo

Kết nối luồng E1 của hệ thống mà ta xây dựng với luồng E1 của máy đo (TX của hệ thống vào RX của máy đo và ngược lại).

Từ máy đo phát đi 1 luồng E1 và nhận lại báo cảnh đồng bộ ở card luồng E1 thông qua hiển thị của các đèn LED (nháy đều 1s).

Đồng thời từ hệ thống phát đi một luồng E1 và thu được báo cảnh đồng bộ ở máy đo. Hình 3.14 và 3.15 thể hiện điều đó. Luồng E1 mà máy đo nhận được từ hệ thống hiển thị đồng bộ, không có lỗi (*No errors - OK*). Các báo cảnh LOS (*Loss Of Signal*), AIS (*Alarm Indication Signal*), LOF (*Loss Of Frame*), RDI (*Remote Defect Indication*), Cod (*Violation on coding sequence*), FAS (*Frame Alignment Signal*) đều hiển thị màu xanh, tức là không có báo cảnh (nếu có báo cảnh sẽ hiển thị màu vàng).

3.3 – Nhận xét và đánh giá kết quả

Trong quá trình nghiên cứu, luận văn đã áp dụng các lý thuyết về xử lý tín hiệu số, ghép kênh số. Luận văn đã tham khảo nhiều tài liệu khác

nhau, các khuyến nghị, tiêu chuẩn của các tổ chức uy tín hàng đầu thế giới, từ đó xây dựng các khối một cách mềm dẻo, tối ưu sao cho đáp ứng được bài toán đặt ra ban đầu.

Kết quả mô phỏng cho thấy về mặt lý thuyết modul đóng khung E1 hoạt động chính xác theo yêu cầu đã đề ra khi thực hiện giả lập đưa một chuỗi dữ liệu vào modul thực hiện phát đi trên kênh truyền sau đó thu lại thực hiện giải đóng khung nhận được chuỗi dữ liệu trùng khớp chuỗi ban đầu.

Kết quả thực tế nhận được qua việc thực hiện đo kiểm đánh giá bằng thiết bị đạt chuẩn quốc tế, kết nối luồng E1 mà modul tạo ra với luồng E1 của máy cho thấy hệ thống đồng bộ hoàn toàn, không có chỉ thị báo cảnh. Điều này cho phép kết luận modul mà luận văn xây dựng đáp ứng được các chỉ tiêu, yêu cầu đã đề ra.

3.4 – Tổng kết chương 3

Chương 3 tiến hành tổng hợp thiết kế (mã nguồn VHDL) trên công cụ ISE, tạo ra các file nạp cho FPGA (file .bit) và file nạp cho ROM ngoài của FPGA (file .mcs). Tiến hành nạp file cấu hình đã tạo ra cho FPGA và ROM bằng công cụ Impact của Xilinx.

Triển khai hệ thống đo kiểm cấu hình tương đương một tổng đài trong đó modul đóng khung E1 mà luận văn thiết kế đóng vai trò là một trung kế E1, ngoài ra có thêm card backplane, card nguồn và card CPU. Kết nối luồng đầu ra của trung kế E1 với máy đo luồng VeEX UX400. Cấu hình cho máy đo luồng ở đúng chế độ đo E1/PDH, PCM30.

Kết quả đo kiểm thu được thể hiện luồng đồng bộ giữa card E1 và máy đo luồng. Máy đo thể hiện không có lỗi, không có các báo cảnh. Có thể kết luận modul đóng khung E1 làm việc tốt.

KẾT LUẬN

Như vậy sau một thời gian nghiên cứu với sự nỗ lực của bản thân và sự hướng dẫn tận tình của TS. Nguyễn Ngọc Minh, đề tài **“Nghiên cứu thiết kế modul đóng khung E1 bằng FPGA”** của học viên đã hoàn thành với một số kết quả sau:

- Nắm được kiến thức cơ bản về công nghệ FPGA, hiểu được tư tưởng luồng thiết kế trên công nghệ FPGA, khả năng xử lý dữ liệu của công nghệ FPGA.

- Hiểu và lập trình được bằng ngôn ngữ mô tả phần cứng VHDL, sử dụng ngôn ngữ VHDL để thiết kế được 1 lõi xử lý tín hiệu số, cụ thể là modul đóng khung E1 trong hệ thống truyền dẫn số.

- Làm chủ và sử dụng thành thạo công cụ thiết kế mạch in Altium, công cụ thiết kế FPGA như phần mềm ISE, phần mềm mô phỏng modelSim.

- Nghiên cứu và thiết kế thành công modul đóng khung E1 ứng dụng vào bảng mạch thực tế trong một thiết bị truyền dẫn quân sự.

Những hạn chế và hướng phát triển của đề tài:

- Do thời gian thực hiện đề tài có hạn, chịu chi phối nhiều nhiệm vụ khác nhau nên chưa tối ưu được thiết kế. Bản thân modul đóng khung E1 chưa tận dụng hết được nguồn tài nguyên khá lớn của IC đã chọn.

- Trong thời gian tới sẽ tiếp tục hoàn thiện đề tài của mình, nâng cấp lên các khung lớn hơn như E2, E3 hay thậm chí các đóng gói SDH như STM-1, STM-4. Sử dụng các công nghệ FPGA mới có năng lực rất lớn và sử dụng các công cụ cao cấp như Vivado thay vì ISE đang dần lỗi thời.

