

BỘ THÔNG TIN VÀ TRUYỀN THÔNG
HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



LÊ DUY TIẾN

**NGHIÊN CỨU KỸ THUẬT XỬ LÝ TÍN HIỆU QUANG ỨNG
DỤNG TRONG CÁC HỆ THỐNG KẾT NỐI MÁY TÍNH QUANG**

LUẬN ÁN TIẾN SĨ KỸ THUẬT MÁY TÍNH

Hà Nội-2023

BỘ THÔNG TIN VÀ TRUYỀN THÔNG
HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



LÊ DUY TIẾN

**NGHIÊN CỨU KỸ THUẬT XỬ LÝ TÍN HIỆU QUANG ỨNG
DỤNG TRONG CÁC HỆ THỐNG KẾT NỐI MÁY TÍNH QUANG**

LUẬN ÁN TIẾN SĨ KỸ THUẬT MÁY TÍNH

CHUYÊN NGÀNH: KỸ THUẬT MÁY TÍNH

MÃ SỐ: 9.48.01.06

Người hướng dẫn khoa học: 1. PGS.TS. Lê Trung Thành

2. TS. Nguyễn Ngọc Minh

Hà Nội-2023

LỜI CAM ĐOAN

Tôi xin cam đoan đây là công trình nghiên cứu của riêng tôi. Các kết quả nghiên cứu được viết chung với các tác giả khác đều được sự đồng ý của họ trước khi đưa vào luận án. Các kết quả nêu trong luận án là trung thực và chưa từng được công bố trong các công trình nào khác. Các kết quả đạt được là hoàn toàn chính xác và trung thực.

Nghiên cứu sinh

Lê Duy Tiến

LỜI CẢM ƠN

Trong quá trình nghiên cứu, triển khai và hoàn thành luận án, nghiên cứu sinh đã nhận được rất nhiều sự giúp đỡ, động viên quý báu của các thầy cô giáo, các nhà khoa học và bạn bè đồng nghiệp. Nghiên cứu sinh xin được bày tỏ lòng biết ơn sâu sắc nhất đến PGS.TS. Lê Trung Thành và TS. Nguyễn Ngọc Minh đã hướng dẫn, giúp đỡ tận tình, tạo mọi điều kiện thuận lợi cho nghiên cứu sinh trong học tập, nghiên cứu hoàn thành luận án.

Nghiên cứu sinh cũng xin bày tỏ sự cảm ơn sâu sắc đến các thầy, cô trong Học viện Công nghệ Bưu chính Viễn thông, các thầy cô, cán bộ tại Khoa Đào tạo Sau đại học, Khoa Công nghệ Thông tin, Kỹ thuật Điện tử đã giảng dạy, giúp đỡ trong suốt quá trình học tập và nghiên cứu. Nghiên cứu sinh xin trân trọng gửi lời cảm ơn đến các đồng nghiệp trong và ngoài Trường Quốc tế, ĐHQGHN đã giúp đỡ, tạo điều kiện cho nghiên cứu sinh trong học tập và nghiên cứu để hoàn thành luận án này.

Cuối cùng, nghiên cứu sinh cũng xin được cảm ơn các bạn bè đồng nghiệp, gia đình đã cộng tác góp ý trao đổi để nghiên cứu sinh có điều kiện hoàn thành kết quả nghiên cứu của mình. Do vấn đề nghiên cứu có tính liên ngành, là vấn đề mới, đang phát triển và do kiến thức còn hạn chế và thời gian có hạn nên chắc rằng không tránh khỏi thiếu sót. Nghiên cứu sinh mong rằng sẽ nhận được nhiều sự quan tâm góp ý của các nhà khoa học, thầy, cô, các bạn bè đồng nghiệp để cho luận văn được hoàn thiện hơn và tiếp tục được mở rộng nghiên cứu với những kết quả thu được trong giai đoạn sau này.

Hà Nội, tháng 4 năm 2023

MỤC LỤC

LỜI CAM ĐOAN	iii
LỜI CẢM ƠN	iv
DANH MỤC THUẬT NGỮ VIẾT TẮT	vii
DANH MỤC KÝ HIỆU TOÁN HỌC	viii
DANH MỤC BẢNG	xi
DANH MỤC HÌNH VẼ.....	xii
MỞ ĐẦU	1
1. Tính cấp thiết của đề tài Luận án.....	1
2. Mục tiêu nghiên cứu	8
3. Nội dung nghiên cứu của luận án	8
4. Đối tượng, phạm vi nghiên cứu	9
5. Phương pháp nghiên cứu	9
6. Ý nghĩa khoa học và thực tiễn	10
7. Bố cục của luận án	10
Chương 1 Tổng quan về xử lý tín hiệu quang trong mạng	11
1.1 Hệ thống tính toán và kết nối quang trong các trung tâm dữ liệu	11
1.2. Tình hình nghiên cứu trong và ngoài nước.....	17
1.3 Các thành phần hệ thống tính toán, kết nối toàn quang.....	22
1.3.1 Ống dẫn sóng (Optical waveguide-OWG)	22
1.3.2 Cấu trúc giao thoa đa mode (Multimode interference-MMI).....	24
1.3.3 Bộ vi cộng hưởng (Microring Resonator-MRR) và Mach Zehnder.	24
1.2.4 Cộng hưởng Fano và bộ nhớ quang.....	27
1.4 Kỹ thuật phân tích, mô phỏng, thiết kế mạch quang	27
1.4.1 Phân tích giải tích dùng ma trận truyền dẫn	27
1.3.2 Mô phỏng số	29
1.5 Kết luận Chương 1	31
Chương 2 Phân tích, thiết kế các cổng logic toàn quang	32
2.1 Nguyên lý thực hiện cổng logic quang	32
2.2 Cổng logic quang dùng 4x4 MMI	33
2.3 Cổng logic quang dùng cấu trúc plasmonic.....	41
2.3.1 Thiết kế cổng XNOR và OR dùng cấu trúc plasmonic	41
2.3.2 Thiết kế cổng NAND dùng plasmonic	49
2.4 Kết luận Chương 2.....	51

Chương 3	Phân tích, thiết cấu kiến trúc làm nhanh, chậm ánh sáng và ứng dụng cho trễ/ đệm quang	53
3.1	Bộ đệm quang dùng vi cộng hưởng	53
3.1.1	Cấu trúc	54
3.1.2	Cấu trúc vi cộng hưởng ghép nối tiếp	57
3.1.3	Cấu trúc nhiều bộ vi cộng hưởng sử dụng bộ Sagnac	58
3.2	Bộ đệm quang dùng vi cộng hưởng 4x4 MMI	62
3.2.1	Cấu trúc và nguyên lý hoạt động	62
3.2.2	Kết quả mô phỏng và thảo luận	66
3.4	Kết luận Chương 3	70
Chương 4	Phân tích và thiết kế cấu trúc tạo tín hiệu đa mức PAM-4 cho hệ thống kết nối máy tính quang.....	71
4.1	Tạo tín hiệu PAM-4 dùng 3x3 MMI.....	74
4.2	Tạo tín hiệu PAM-4 dùng 4x4 MMI.....	82
4.3	Tạo tín hiệu PAM-4 không chirp.....	91
4.4	Kết luận Chương 4.....	99
KẾT LUẬN	101
DANH MỤC CÔNG TRÌNH KHOA HỌC CÔNG BỐ	104
TÀI LIỆU THAM KHẢO.....		106

DANH MỤC THUẬT NGỮ VIẾT TẮT

STT	Ký hiệu	Tiếng Anh	Tiếng Việt
1.	ALU	Arithmetic Logic Unit	Khối số học và logic học
2.	BPM	Beam Propagation Method	Phương pháp BPM
3.	CMOS	Complementary Metal-oxide-Semiconductor	Công nghệ chế tạo CMOS
4.	CPU	Central Processing Unit	Bộ xử lý trung tâm
5.	DCN	Data Center Network	Trung tâm dữ liệu
6.	DIMM	Dual In-line Memory Module	Mô-đun bộ nhớ nội tuyến kép
7.	DNN	Deep Neural Network	Mạng nơ-ron sâu
8.	EIT	Electromagnetic Induced Transparency	Hiệu ứng trong suốt EIT
9.	EME	Eigenmode Expansion Method	Phương pháp EME
10.	EPS	Electronic Packet Switching	Chuyển mạch gói trong miền điện
11.	FDTD	Finite-difference Time-domain	Phương pháp sai phân hữu hạn trong miền thời gian
12.	FLOPS	Floating-point Operations per Second	Phép toán dấu phẩy động trên giây
13.	FPGA	Field Programmable Gate Array	Mảng logic khả trình
14.	HPC	High performance computing	Hệ thống tính toán hiệu năng cao
15.	HPWG	Hybrid Plasmonic Waveguide	Ống dẫn sóng plasmonic lai ghép
16.	MMI	Multimode Interference	Cấu trúc giao thoa đa mode
17.	MPA	Mode Propagation Analysis	Phương pháp phân tích truyền mode
18.	MRR	Microring Resonator	Bộ vi cộng hưởng
19.	MZI	Mach Zehnder Interferometer	Giao thoa Mach Zehnder
20.	PAM	Pulse Amplitude Modulation	Điều chế biên độ xung
21.	TMM	Transfer Matrix Method	Phương pháp ma trận truyền dẫn

DANH MỤC KÝ HIỆU TOÁN HỌC

Ký hiệu	Diễn giải	Tiếng Anh
a_i ($i=1, \dots, N$)	Biên độ phức tín hiệu tại các cổng vào MMI	Complex Amplitudes
$ a_i ^2$ ($i = 1, \dots, N$)	Công suất chuẩn hóa tín hiệu	Normalized Power
α_0	Hệ số suy hao ống dẫn sóng (dB/cm)	Attenuation
α	Suy hao tính theo dB	Attenuation in dB
a	Tín hiệu biểu diễn dạng vector, $\mathbf{a} = [a_1 \ a_2 \ a_3]^T$	Signal representation in vector
b_i ($i=1, \dots, N$)	Biên độ phức tín hiệu tại các cổng ra MMI	Complex Amplitudes at outputs
$ b_i ^2$ ($i = 1, \dots, N$)	Công suất chuẩn hóa tín hiệu	Normalized power at output
β	Hệ số lan truyền	Propagation Constant
β_0	Hệ số lan truyền cho mode ν	
b	Tín hiệu biểu diễn dạng vector, $\mathbf{b} = [b_1 \ b_2 \ b_3]^T$	
c_0	Hệ số kích thích trường trong MMI	Field factor
*	Liên hợp phức	
$\Delta\phi$	Đi pha (dịch pha)	Phase shift
Δn_e	Thay đổi chiết suất hiệu dụng	Effective Refractive index
Δn	Chênh lệch chiết suất giữa lõi và vỏ ống dẫn sóng	Index Difference
ΔL	Chiều dài dịch của MMI	Length of MMI
$\Delta\phi_1$ và $\Delta\phi_2$	Dịch pha của hai cánh MZI	
$\mathbf{D} = \epsilon \mathbf{E}$	Cảm ứng điện	Electric field displacement
ϵ	Độ điện thẩm tuyệt đối	Permittivity
ϵ_r	Độ điện thẩm tương đối, ($\epsilon_r = \epsilon / \epsilon_0$)	Relative permittivity

Ký hiệu	Diễn giải	Tiếng Anh
ϵ_0	Độ điện thẩm chân không, $\epsilon_0 \approx 8.854 \times 10^{-12} \text{ F.m}^{-1}$	Vacuum permittivity
E_x, E_y, E_z	Trường điện theo các trục x, y, z	Electric field in x, y and z-directions
E	Trường điện	Electric field
EL	Suy hao (dB)	Excess Loss (dB)
h_{co}	Chiều cao (nm)	height (nm)
h_{SiO_2}	Độ dày (nm/ μm)	Thickness of the under cladding layer
H_x, H_y, H_z	Trường từ theo các trục x, y, z	Magnetic field in x, y and z-directions
H	Trường từ	Magnetic field
h	Độ dày bên ngoài ống dẫn sóng SOI dạng sừng	Height
H	Độ dày bên trong ống dẫn sóng SOI dạng sừng	
j	Phần ảo ($j^2 = -1$)	Imaginary unit
κ	Hệ số ghép	Coupling coefficient of a coupler
k	Hằng số sóng ($k = 2\pi/\lambda$)	Wave number
L_{MMI}	Chiều dài MMI	(Optimised) Length of an MMI coupler (μm) calculated using the 3D-BPM or 3D-EME
λ	Bước sóng (nm)	Operating wavelength
L_π	Chiều dài phách, $L_\pi = \pi/(\beta_0 - \beta_1)$	Beat length between two lowest order modes
L_2 or L_M	Chiều dài MMI (μm)	Length of a multimode section
$\nabla^2\Psi$	Toán tử Laplace,	

Ký hiệu	Diễn giải	Tiếng Anh
	$\nabla^2\Psi = \partial^2\Psi / \partial x^2 + \partial^2\Psi / \partial y^2$	
μ	Độ từ thẩm tuyệt đối	Permeability
μ_r	Độ từ thẩm tương đối, ($\mu_r = \mu / \mu_0$)	Relative permeability
$v = 0, 1, \dots, M-1$	Số mode	Mode number
M	Ma trận MMI	Matrix of MMI
m_{ij} ($i,j=1,2,\dots,N$)	Các thành phần của ma trận MMI	Matrix elements
P_i ($i=1, \dots, N$)	Công suất chuẩn hóa	Normalized Power
$\psi(y,0)$	Profile trường bên trong MMI	Field Profile
$\psi(y)$	Phân bố trường theo mode của MMI	Mode Evolution
$\psi(y, z = L)$	Trường điện vị trí $z=L$	Electric Field
ϕ_{ij}	Pha tín hiệu từ cổng vào i đến cổng ra j của MMI	Phase
V_a	Điện áp áp dụng cho dịch pha	Voltage applied to the phase shifter
V_π	Điện áp dịch pha 180 độ	Voltage applied to a phase shifter to introduce a phase shift of π
W_{MMI}	Độ rộng MMI (μm)	Width of an MMI coupler
y	Trục y	y -direction (lateral or horizontal direction)
z	Trục z	z -direction (propagation direction)

DANH MỤC BẢNG

Bảng 1.1. Các phương pháp thực hiện cổng logic toàn quang.....	18
Bảng 2.1. Bảng chân lý cho cổng XOR.....	35
Bảng 2.2. Bảng chân lý cho cổng XNOR.....	35
Bảng 2.3. Bảng chân lý cho cổng OR	36
Bảng 2.4. Bảng chân lý cho cổng NAND	36
Bảng 2.5. Bảng chân lý cho cổng XOR sử dụng cấu trúc plasmonic	45
Bảng 2.6. Bảng chân lý cho cổng XNOR sử dụng cấu trúc plasmonic.....	45
Bảng 2.7. Bảng chân lý của cổng logic NAND sử dụng cấu trúc plasmonic.....	50
Bảng 4.1. Mức PAM-4 dựa trên hai bộ di pha được phân đoạn	79
Bảng 4.2. So sánh các kiến trúc PAM-4.....	81
Bảng 4.2. Các mức PAM-4 dựa trên hai bộ dịch pha được phân đoạn.....	98

DANH MỤC HÌNH VẼ

Hình 1. Kết nối quang trong các hệ tính toán và trung tâm dữ liệu	2
Hình 2. Nền tảng trung tâm dữ liệu quang hiện tại của LightningValley2, ThunderValley và Pegasus [8].....	3
Hình 1.1. Kiến trúc của một trung tâm dữ liệu.....	13
Hình 1.2. Kiến trúc của trung tâm dữ liệu quang (a) lai ghép và (b) toàn quang.....	14
Hình 1.4. Kiến trúc của máy tính hiện đại.....	15
Hình 1.5. (a) Kiến trúc của máy tính hiện đại tích hợp quang và (b) Kết nối quang trong hệ thống trung tâm dữ liệu.....	16
Hình 1.7 Hàm truyền MZI và MRR sử dụng cho tạo tín hiệu PAM-4	21
Hình 1.8. Ống dẫn sóng phẳng	22
Hình 1.9. Mô phỏng số tín hiệu truyền trong mạch quang.....	25
Hình 1.10. Điều chế tín hiệu quang sử dụng giao thoa Mach Zehnder.....	26
Hình 1.11 Mô phỏng tín hiệu quang truyền qua 3x3 MMI dùng BPM.....	31
Hình 2.1. (a) Lược đồ đề xuất cho các cổng logic quang học và (b) Tín hiệu trong ống dẫn sóng	34
Hình 2.2. Cổng XOR với tín hiệu đầu vào 00, 01, 10, 11	37
Hình 2.3. Cổng XNOR với tín hiệu đầu vào 00, 01, 10, 11.....	37
Hình 2.4. Cổng OR với tín hiệu đầu vào 00, 01, 10, 11	38
Hình 2.5 Cổng NAND với tín hiệu đầu vào 00, 01, 10, 11	38
Hình 2.6. Thiết kế tối ưu cho cấu trúc 4x4 và 2x2 MMI.....	39
Hình 2.7. (a) Công suất đầu ra chuẩn hóa cho logic 1 và 0 và (b) Tỷ lệ tương phản. 40	
Hình 2.8. Công suất đầu ra chuẩn hóa với các độ dài khác nhau của bộ ghép 4x4 MMI	41
Hình 2.9. (a) Sơ đồ đề xuất cho cổng logic quang học, (b) Mặt cắt ngang HPWG và (c) Tín hiệu trong ống dẫn sóng	43
Hình 2.10 Chỉ số khúc xạ hiệu dụng của ống dẫn sóng HPWG với các độ rộng khác nhau	44
Hình 2.11. (a) Lan truyền trường tín hiệu, (b) các vị trí tự tạo ảnh ở các độ dài khác nhau và (c) sự dịch pha thu được.....	46
Hình 2.12. Cổng XOR với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic	47
Hình 2.13. Cổng XNOR với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic ...	47
Hình 2.14 Thiết kế tối ưu cho cấu trúc 4x4 và 2x2 MMI dùng plasmonic	48

Hình 2.15 (a) Công suất đầu ra chuẩn hóa đối với logic 1 và 0 cho (a) cổng XOR và (b) cổng XNOR dùng plasmonic.....	48
Hình 2.16 Tỷ lệ tương phản của cổng XOR và XNOR.....	49
Hình 2.17. Cổng NAND với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic ...	50
Hình 2.18. (a) Công suất đầu ra chuẩn hóa cho mức logic 1 và 0 và (b) tỷ lệ tương phản của cổng NAND	51
Hình 3.1 Bộ cộng hưởng vi mạch ghép nối tiếp với bộ phản xạ vòng Sagnac	54
Hình 3.2 Bộ vi cộng hưởng đơn	55
Hình 3.3 Hàm truyền, pha và trễ nhóm của bộ vi cộng hưởng với các hệ số truyền dẫn khác nhau	56
Hình 3.4 Xung đầu vào và đầu ra tại bộ cộng hưởng vi mạch đơn.....	58
Hình 3.5 Đặc tính truyền dẫn của bộ vi cộng hưởng ghép nối tiếp (a) $\tau = \tau_1 = 0,99$ và (b) $\tau = \tau_1 = 0,9975$	59
Hình 3.6 Xung đầu vào và đầu ra tại cấu trúc bộ vi cộng hưởng ghép nối tiếp.....	60
Hình 3.7 Đặc tính truyền dẫn của bộ vi cộng hưởng ghép nối tiếp (a) $\tau = \tau_1 = 0,99$ và (b) xung đầu ra.....	60
Hình 3.8 Đặc tính truyền dẫn của bộ vi cộng hưởng ghép nối tiếp (a) $\tau = \tau_1 = 0,9975$ và (b) xung đầu ra.....	61
Hình 3.9 Thời gian trễ và làm nhanh khi có và không có bộ phản xạ Sagnac	62
Hình 3.10 Mô phỏng FDTD của cấu trúc được đề xuất với hai bộ cộng hưởng vòng.....	62
Hình 3.11 Sơ đồ của một bộ vi cộng hưởng kết hợp với cấu trúc 4x4 GMZI	63
Hình 3.12 Mô phỏng BPM cho bộ ghép 4x4 MMI nối tiếp được sử dụng cho bộ cộng hưởng MZI cho đầu vào 1 và 2	65
Hình 3.13. Phổ truyền qua thiết bị tại cổng bar với $\varphi_1 = 0$; $\varphi_1 = 0,5\pi$, và $\varphi_1 = 1,5\pi$	66
Hình 3.14. Phổ truyền qua thiết bị tại cổng bar với $\kappa_1 = 0,2$; $\kappa_1 = 0,5$; và $\kappa_1 = 0,707$	67
Hình 3.16. Hiệu ứng EIT được tạo ra bởi cấu trúc.....	68
Hình 3.17. Mô phỏng FDTD của linh kiện	69
Hình 4.1. Tạo tín hiệu OOK quang	71
Hình 4.2. Các kiến trúc tạo tín hiệu OOK.....	72
Hình 4.3. Tín hiệu OOK và PAM-4	73
Hình 4.4. Kiến trúc thế hệ PAM-4 dựa trên bộ cộng hưởng vòng dựa trên bộ ghép MMI 3x3 với hai bộ dịch pha được phân đoạn	75

Hình 4.5. (a) Sự thay đổi chỉ số hiệu dụng và (b) hệ số suy hao ở điện áp phân cực khác nhau tại điểm nối PN	76
Hình 4.6. (a) Truyền lan qua bộ ghép 3x3 MMI tại độ dài tối ưu $107,8\mu m$ và (b) Công suất chuẩn hóa ở ba cổng ra.....	77
Hình 4.7. Truyền dẫn ở cổng ra 1 và 2	78
Hình 4.8. (a) Truyền dẫn ở cổng đầu ra 1 và 2 so với kiến trúc thế hệ PAM-4 sử dụng MZM và (b) Độ dốc của hai đường truyền	79
Hình 4.9. Các dịch pha cần thiết cho các mức PAM-4	80
Hình 4.10. Mô phỏng FDTD của toàn bộ thiết bị khi tín hiệu đầu vào ở cổng 1.....	81
Hình 4.11. Kiến trúc của trung tâm dữ liệu.....	83
Hình 4.12. Nút điện toán Exascale	84
Hình 4.13. Chip máy tính Blue Gene Q của IBM	85
Hình 4.14. (a) Sơ đồ tín hiệu PAM-4 dựa trên bộ ghép 4x4 MMI và (b) bộ dịch pha PN junction với độ lệch dự trữ và các thông số cấu trúc của ống dẫn sóng.....	86
Hình 4.15. Mode được tính bằng phương pháp EME	87
Hình 4.16. Công suất truyền qua MMI 4x4 ở độ dài tối ưu $141.7 \mu m$, tín hiệu đầu vào ở cổng 1	88
Hình 4.19. Truyền dẫn của cấu trúc đề xuất cho các bit dữ liệu đầu vào 00, 01, 10, 11	91
Hình 4.20. (a) Sơ đồ tạo tín hiệu PAM-4 dựa trên bộ ghép 4x4 MMI nối tiếp và (b) Hình chiếu cắt ngang của bộ dịch pha (c) chế độ cơ bản của ống dẫn sóng sườn SOI..	92
Hình 4.21. Truyền trường qua bộ ghép 2x4 MMI ở chiều rộng và chiều dài tối ưu.	93
Hình 4.22. Kiểm soát tỷ lệ ghép nối bộ vi cộng hưởng dựa trên bộ dịch pha PN.....	94
Hình 4.23. (a) Truyền dẫn và (b) dịch pha đối với các trường hợp khác nhau của bộ vi cộng đơn làm việc ở các điều kiện khác nhau.....	95
Hình 4.24. Đáp ứng pha của linh kiện zero chirp được đề xuất.....	96
Hình 4.25. So sánh MZM và kiến trúc thế hệ PAM-4 được đề xuất trong nghiên cứu	97
Hình 4.26. Dịch pha cần thiết cho các mức PAM-4 (chuẩn hóa).....	98
Hình 4.27. Mô phỏng FDTD của toàn bộ thiết bị khi tín hiệu đầu vào ở cổng 1.....	99

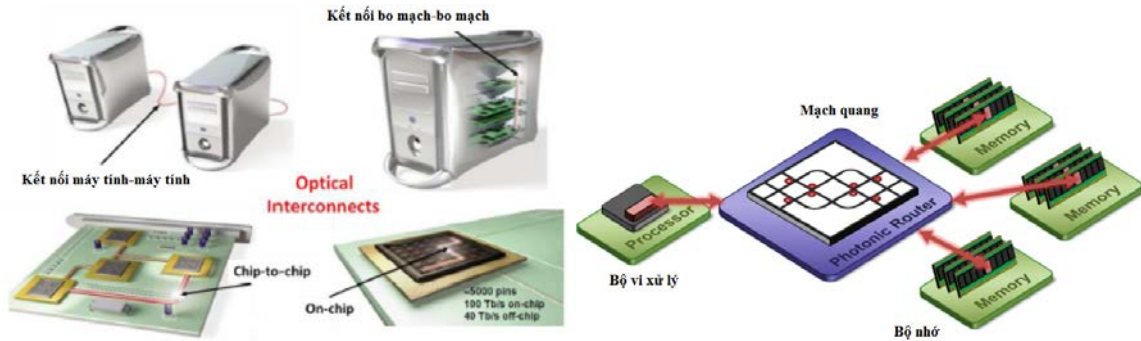
MỞ ĐẦU

1. Tính cấp thiết của đề tài Luận án

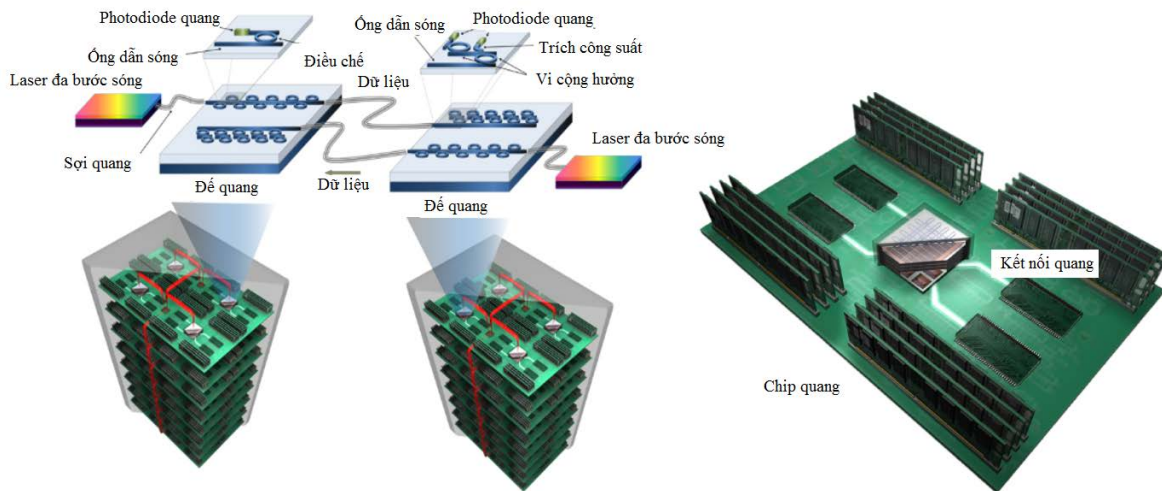
Hiện nay, yêu cầu về lưu lượng dữ liệu đang tăng lên do các ứng dụng ngày càng đòi hỏi lượng dữ liệu lớn như các ứng dụng video chất lượng cao, các dịch vụ lưu trữ dữ liệu trực tuyến mở rộng, sự gia tăng của mạng xã hội và điện toán đám mây [1]. Trong các hệ thống tính toán hiệu năng cao và các trung tâm dữ liệu, các kết nối giữa board-to-board (bo mạch đến bo mạch), rack-to-rack (giá đỡ đến giá đỡ) và on-chip cần xử lý và truyền dẫn dữ liệu tốc độ cao mà đến nay giới hạn điện tử không đáp ứng được. Đặc biệt với sự phát triển của công nghệ quang tử, các kết nối quang trực tiếp đến nhà thuê bao, nhu cầu về tính toán, xử lý dữ liệu trong miền quang là hết sức cần thiết [2]. Các giải pháp tập trung vào truyền dẫn quang giữa các kết nối trên chip và giữa các server, board-to-board và rack-to-rack sử dụng điều chế bậc cao phù hợp để cân bằng giữa công suất tiêu thụ và băng thông; xử lý dữ liệu tốc độ cao trên chip sử dụng các cổng logic, các bộ đệm và trễ trong miền quang. Nghiên cứu của Luận án tập trung giải quyết các vấn đề nêu trên trong một kiến trúc tổng thể của hệ thống kết nối, xử lý dữ liệu quang trong các hệ thống trung tâm dữ liệu và tính toán quang. Lấy ví dụ cấu trúc hệ thống kết nối giữa các board, rack và on-chip, các bộ chuyển mạch tốc độ cao được thực hiện trong miền quang đang được phát triển tại Trường Đại học Columbia, Hoa Kỳ được chỉ ra ở Hình 1 dưới đây [3].

Để giải quyết vấn đề nghẽn trong miền điện, ngoài yêu cầu cần xử lý dữ liệu tốc độ cao, băng thông truyền dẫn tại giao diện giữa người dùng và các trung tâm dữ liệu thì cần phải xử lý dữ liệu tốc độ cao tại giao diện giữa các trung tâm dữ liệu DCN (Data Center Networks) với các máy chủ để đảm bảo băng thông và tốc độ cao. Điều này sẽ buộc phải tìm giải pháp để nâng cao năng lực tính toán, xử lý dữ liệu cho các trung tâm dữ liệu. Một trong các giải pháp là phải thay thế các kết nối, xử lý dữ liệu trong miền điện bằng các kết nối và xử lý dữ liệu trong miền quang tại các kết nối, xử lý dữ liệu trên chip, từ chip này sang chip khác, từ bo mạch này sang bo mạch khác, từ rack tới rack và từ trung tâm dữ liệu đến truyền dẫn giữa trung tâm dữ liệu khác. Sự suy giảm, phân tán và xuyên âm của các hệ thống máy tính điện tử bị giới hạn tốc độ truyền

dữ liệu đến 10 Gb/s. Ở tốc độ vài chục Gb/s, cần phải có bộ thu phát có dây với bộ cân bằng nâng cao để khôi phục dữ liệu, điều này làm tăng thêm độ phức tạp của mạch và mức tiêu thụ điện năng [4]. Để giải quyết những vấn đề này, các hệ thống truyền dẫn xử lý thông tin trong miền điện (electrical domain) dần được thay thế bằng các hệ thống trong miền quang (optical domain), từ bài toán trên một chip đơn on-chip đến các bài toán truyền dẫn giữa các hệ thống off chip (rack to rack, board to board, chip to chip, DCN to DCN,...) [5].



(a) Kết nối quang trong máy tính, trên chip (b) Kết nối và truyền dẫn quang giữa bộ nhớ và vi xử lý

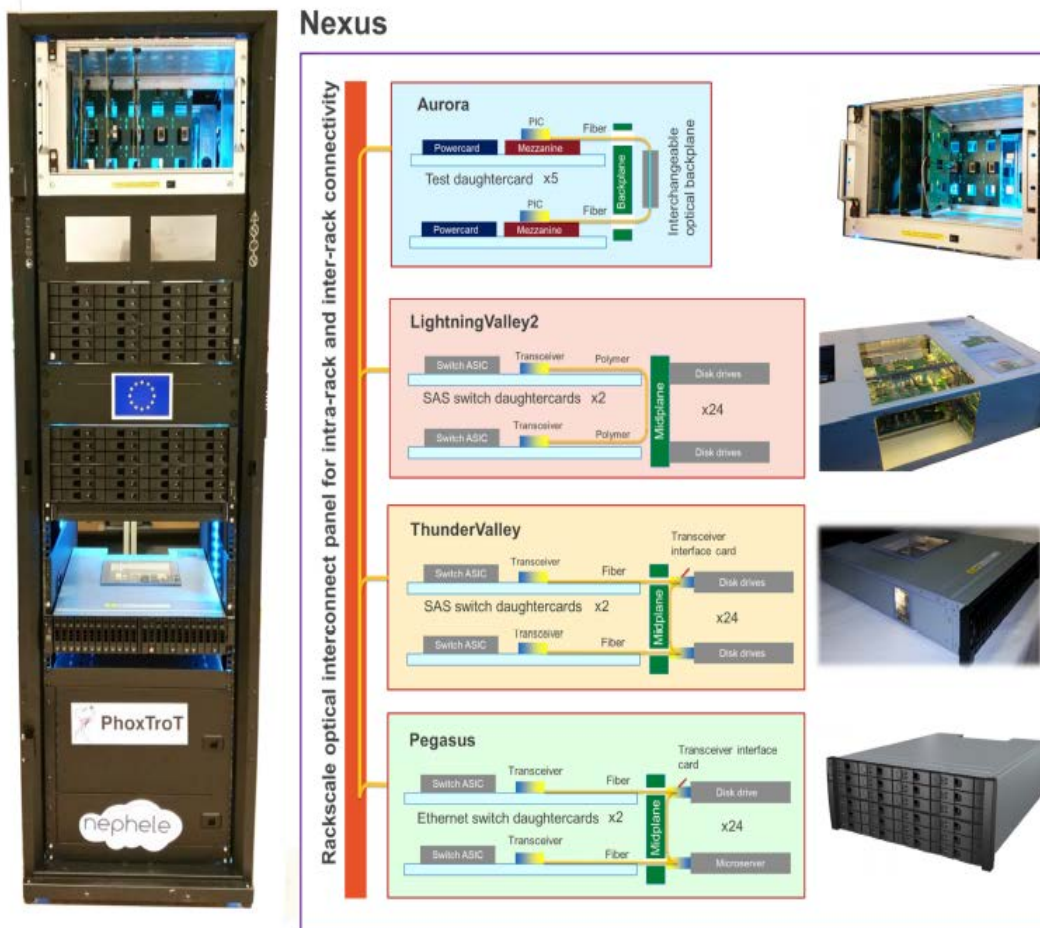


(c) Truyền dẫn quang giữa các board (d) Truyền dẫn và xử lý quang trên chip và board

Hình 1. Kết nối quang trong các hệ tính toán và trung tâm dữ liệu

Trong hơn 10 năm trở lại đây, nhờ sự phát triển của công nghệ chế tạo vi mạch CMOS (Complementary Metal-Oxide-Semiconductor) cho quang tử

(optical/photonics), gọi là quang tử silic (silicon photonics)[6] và công nghệ vật liệu [7], việc xử lý thông tin trong miền toàn quang dần trở thành hiện thực [8, 9]. Các chức năng của hệ thống trong miền điện như bộ vi xử lý, bộ nhớ, khối ALU (Arithmetic Logic Unit), các thanh ghi dịch, hệ thống kết nối,... dần được thay thế để tính toán, xử lý và truyền dẫn hoàn toàn trong miền quang [4, 10]. Gần đây, một số hệ thống kết nối, truyền dẫn và xử lý dữ liệu trong miền quang được chế tạo đưa vào thực tiễn các hệ thống tính toán và trung tâm dữ liệu. Hình 2 chỉ ra các nền tảng quang này được sử dụng trong các hệ thống của LightningValley, ThunderValley2 và Pegasus sử dụng các kiến trúc trung tâm dữ liệu trong miền quang để cấu hình hệ thống rack to rack nhằm tối ưu hóa băng thông qua các chuyển mạch top-of-rack (ToR) của DCN [11].



Hình 2. Nền tảng trung tâm dữ liệu quang hiện tại của LightningValley2, ThunderValley và Pegasus [11]

Theo dự báo các hệ thống tính toán hiệu năng cao HPC (High performance computing) quy mô lớn và trung tâm dữ liệu thế hệ mới cần mở rộng cả về không gian và hiệu năng xử lý dữ liệu sẽ yêu cầu bộ vi xử lý hỗ trợ băng thông off-chip lớn để phù hợp với khả năng xử lý dữ liệu trong thời gian thực hoặc độ trễ thấp, đặc biệt kết nối với bộ nhớ yêu cầu về độ trễ truy cập thấp và khả năng tiêu thụ điện năng ít [12]. Tuy nhiên, các kết nối điện off-chip ngày nay phải đối mặt với những thách thức về hiệu năng vì chúng có băng thông thấp, cũng như tiêu hao năng lượng phụ thuộc vào khoảng cách và tốc độ dữ liệu. Kết quả là, các hệ thống tính toán quy mô lớn gặp phải bài toán cân bằng (trade-off) tăng theo hàm mũ giữa khoảng cách và hiệu năng tính toán của vi xử lý và các hệ thống bộ nhớ off-chip [13]. Điều này đã làm hạn chế khả năng mở rộng và tính toán của các hệ thống quy mô lớn trong tương lai. Do giới hạn về băng thông trong miền điện, tốc độ xử lý và tiêu thụ công suất rất cao đã làm hạn chế toàn bộ hệ thống dù các hệ thống vi xử lý hiệu năng cao của hệ thống hiện tại được phát triển nhưng không kết nối được với dữ liệu tốc độ cao.

Mặc dù các mạng liên kết điện có thể đạt tốc độ dữ liệu trên mỗi kênh lên đến 25 Gb/s, nhưng việc tiêu hao công suất ở các băng thông lớn như vậy sẽ trở nên quá tải và góp phần tăng chi phí và độ phức tạp tổng thể của hệ thống [7]. Hiện tại, các bộ vi xử lý được ước tính sẽ tiêu tán một nửa năng lượng chỉ trong một kết nối. Mở rộng hiệu năng kết nối bằng cách sử dụng các phương pháp truyền thống sẽ tiếp tục làm trầm trọng thêm vấn đề và tạo ra nghẽn toàn bộ hệ thống. Lấy ví dụ, một hệ thống bộ nhớ chính điển hình bao gồm nhiều chip của bộ nhớ truy cập ngẫu nhiên đồng bộ (SDRAM- Synchronous dynamic random access memory) được đóng gói cùng nhau trên một bảng mạch được gọi là mô-đun bộ nhớ nội tuyến kép (DIMM- Dual In-line Memory Module), có khả năng cung cấp tốc độ lên đến 120 Gb/s. Nhiều DIMM phải được truy cập song song, đòi hỏi một bus điện tử cực kỳ phức tạp, để cung cấp băng thông bộ nhớ nhiều TB/s theo yêu cầu của ứng dụng sử dụng lượng dữ liệu lớn. Tuy nhiên, những thách thức về quy mô mà kết nối điện tử phải đối mặt hạn chế số lượng DIMM có thể được truy cập và do đó, tăng băng thông bộ nhớ [14].

HPC và trung tâm dữ liệu DCN làm tăng thêm những hạn chế của khả năng mở rộng bộ nhớ. Quy mô cực đại của chúng đòi hỏi băng thông và dung lượng bộ nhớ duy

tri cao, đồng thời duy trì độ trễ truy cập thấp với các kết nối năng lượng hiệu quả. Tuy nhiên, những yếu tố này đòi hỏi sự đánh đổi trong một hệ thống bộ nhớ được kết nối điện tử với nhau và làm giảm tổng hiệu suất toàn hệ thống. Do đó, các hệ thống tính toán quy mô lớn thế hệ tiếp theo phải tận dụng các công nghệ xử lý tín hiệu trong miền quang mới để thu hẹp khoảng cách hiệu suất bộ xử lý-bộ nhớ và cho phép các bộ vi xử lý trong tương lai phát huy hết tiềm năng của chúng.

HPC hay siêu máy tính, được thiết kế để tối ưu hóa khả năng xử lý và thường được sử dụng để tính toán cho các bài toán chuyên sâu như [15]: mô hình hóa khí hậu, thăm dò dầu khí, vật lý lượng tử và nghiên cứu hạt nhân. Các siêu máy tính ngày nay sử dụng hàng chục nghìn bộ vi xử lý và bộ nhớ có dung lượng petabyte để đạt được hiệu suất mục tiêu, được đánh giá trong các xử lý dấu phẩy động mỗi giây (FLOPS), theo thứ tự petaFLOPS. Các máy tính quy mô cực lớn chủ yếu dựa vào các kết nối hợp lý để cung cấp cho các lõi xử lý hiệu suất cao với một luồng dữ liệu liên tục. Các kết nối cho các hệ thống này thường là các cấu trúc liên kết hình xuyên ba chiều (3D) liên kết điện [16]. Tuy nhiên, với nhu cầu ngày càng tăng được đặt ra đối với kết nối liên kết, các HPC trong tương lai yêu cầu thiết kế lại ở lớp vật lý, có khả năng tận dụng những lợi ích mà kết nối quang mang lại [17].

Lý do chính cho việc chuyển đổi từ kết nối điện sang kết nối quang và xử lý dữ liệu trong miền quang trong các HPC là nhằm phải khắc phục các hạn chế về băng thông điện và để đạt được xử lý dấu phẩy động tốc độ cao với công suất tiêu thụ thấp, tức tỷ số FLOPS/W cao. Khi các siêu máy tính tiếp tục phát triển, kết hợp nhiều bộ xử lý hơn và mạng kết nối lớn hơn, công suất tiêu thụ và tốc độ tính toán trở thành tham số nghẽn của bài toán thiết kế. Hạn chế này dẫn đến xu hướng sau: tối đa hóa hiệu suất tính toán không còn là trọng tâm duy nhất khi thiết kế HPC. Với hướng nghiên cứu này, bốn trong số 10 siêu máy tính hàng đầu dựa trên kiến trúc Blue Gene/Q [18] được kết nối quang học với 2097,19 MFLOPS/W, thiết kế này là kiến trúc HPC tiết kiệm năng lượng nhất.

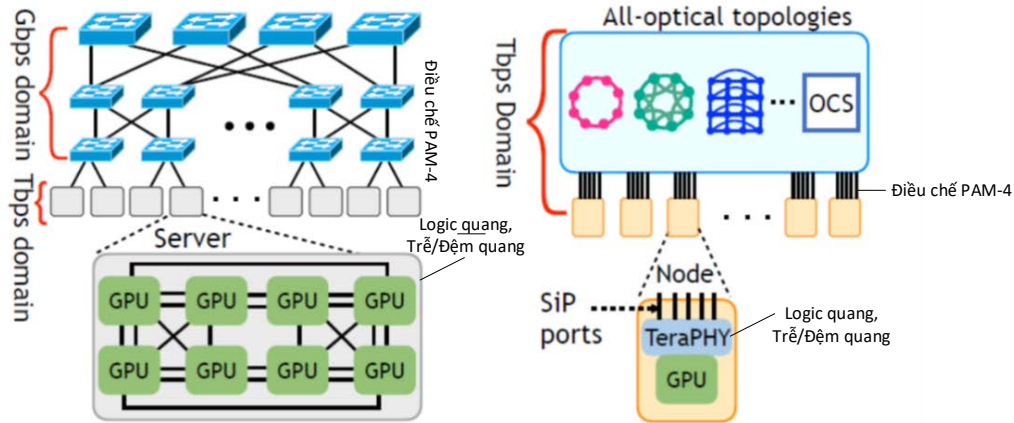
Các trung tâm dữ liệu hiện đại bao gồm hàng chục nghìn máy chủ, các nút và các trung tâm dữ liệu lớn mới đang hình thành với hơn 100.000 nút [19]. Sự phát triển vượt bậc của điện toán đám mây đã gây ra sự gia tăng đáng kể nhu cầu về số lượng trung

tâm dữ liệu lớn hơn để xử lý giao tiếp đa dạng, không thể đoán trước giữa các nút/máy chủ tính toán. Đồng thời, các trung tâm dữ liệu này cần giảm chi phí xây dựng và vận hành nhằm tối đa hóa các ứng dụng cơ bản. Do đó, các hạn chế về thiết kế đối với các trung tâm dữ liệu tập trung vào các mục tiêu chính là giảm thiểu chi phí thông qua miền quang trong khi vẫn đáp ứng các yêu cầu về hiệu suất cao của các dịch vụ đám mây trong tương lai.

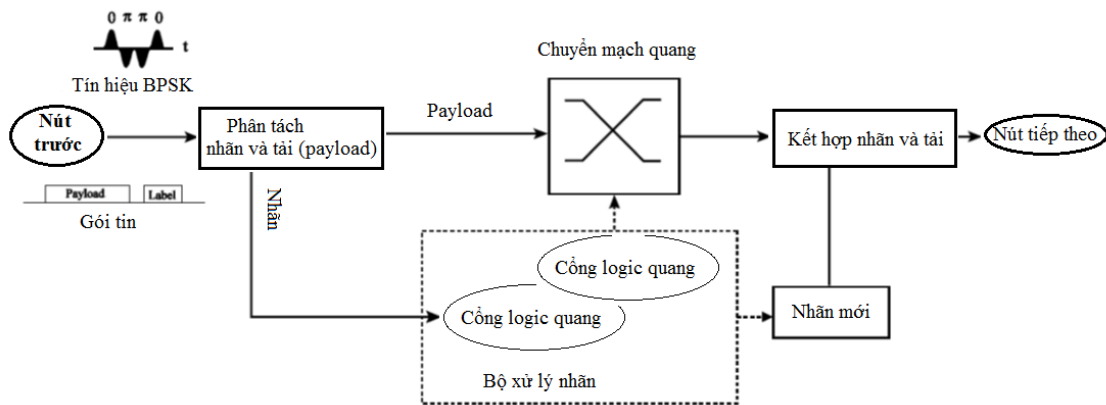
Bên cạnh đó, nhu cầu ngày càng tăng về các mô hình học máy (ML-Machine Learning) chính xác hơn đã dẫn đến sự gia tăng ổn định về kích thước mô hình và tập dữ liệu của mạng nơ-ron sâu (DNN-Deep Neural Networks) [20, 21]. Kể từ năm 2012, lượng máy tính được sử dụng trong các công việc đào tạo AI (Artificial Intelligence) lớn nhất đã tăng lên theo cấp số nhân với thời gian gấp đôi chỉ trong 3 đến 4 tháng, nhanh hơn 50 lần so với tốc độ của Định luật Moore [22]. Các yêu cầu tính toán của các mô hình ML lớn đã được đáp ứng một phần nhờ sự phát triển nhanh chóng của các bộ tăng tốc phần cứng ML và các ngăn xếp phần mềm chuyên dụng [23, 24]. Mặc dù các trình tăng tốc phần cứng đã giúp tăng tốc đáng kể, nhưng để đào tạo (training) dữ liệu ngày nay vẫn có thể mất vài ngày và thậm chí vài tuần. Các giải pháp như NVIDIA DGX cho phép đào tạo phân tán trên một số lượng nhỏ GPU (ví dụ: 8–16) được kết nối với chuyên mạch tốc độ cao với băng thông Tbps, nhưng các cụm ML quy mô lớn phải sử dụng kết nối máy chủ GPU (Graphics Processing Unit) nhiều hơn nhưng với tốc độ chậm hơn [25]. Dự đoán khối lượng công việc training ML phân tán trong tương lai có khả năng yêu cầu băng thông vài Tbps trên mỗi thiết bị ở quy mô lớn, tạo ra nhu cầu cấp bách về những cách hoàn toàn mới để xây dựng kết nối cho các hệ thống ML phân tán. Với công nghệ quang hiện nay người ta có thể xây dựng các giao diện I/O (input/output) quang tích hợp với một chip điện tử có băng thông Tbps. Các chip quang này có thể được tích hợp trực tiếp vào gói CPU/GPU/FPGA/ASIC, cung cấp mật độ băng thông cao hơn đáng kể so với các công nghệ ngày nay [26, 27]. Do vậy khả năng xử lý dữ liệu và kết nối quang giúp cho xử lý các bài toán dữ liệu lớn trong tương lai.

Với sự phát triển của công nghệ, mong muốn xử lý thông tin thông suốt trong miền toàn quang [1]. Các bài toán xử lý dữ liệu trong miền quang ứng dụng trong các hệ thống máy tính quang, trung tâm dữ liệu, các hệ thống board-to-board, on chip,

rack-to-rack, các hệ thống kết nối như chuyển mạch toàn quang, kết nối quang, bộ trễ/bộ nhớ quang, lưu giữ, xử lý dữ liệu quang, điều chế nhiều mức quang, các cổng logic quang,...



(a)



(b)

Hình 3. (a) Xử lý tín hiệu quang trong trung tâm dữ liệu, trên chip và xử lý gói tin trong mạng quang
(b) ví dụ về node sử dụng cổng logic để xử lý tiêu đề gói tin

Trong nghiên cứu này, luận án tập trung thiết kế một số chức năng xử lý thông tin trong miền quang để dần thay thế các hệ thống máy tính và tính toán trong miền điện. Các thiết kế hướng đến sử dụng công nghệ mạch tích hợp CMOS, có thể tích hợp tất cả trên một chip để tạo thành một hệ thống máy tính trong tương lai. Ví dụ các kết

nối, tính toán toàn quang được sử dụng trong các hệ thống tính toán hiệu năng cao, trung tâm dữ liệu lớn liên quan đến chủ đề nghiên cứu của luận án được thể hiện ở Hình 3.

Trong đó, dữ liệu được xử lý tại node trên chip trong miền quang qua các cổng logic toàn quang dựa vào nguyên lý giao thoa đa mode mà không cần dùng hiệu ứng phi tuyến. Điều chế PAM-4 quang với ưu điểm tốc độ cao và công suất thấp phù hợp được sử dụng để truyền dẫn dữ liệu giữa các node, các board-to-board, chip-to-chip, rack-to-rack, giữa vi xử lý và bộ nhớ và giữa các server với nhau.

2. Mục tiêu nghiên cứu

Mục tiêu của luận án là nghiên cứu, thiết kế được một số cấu trúc xử lý thông tin, truyền dẫn tốc độ cao trong miền quang ứng dụng trong các node trên chip/board, truyền dẫn dữ liệu giữa các trung tâm dữ liệu và trong hệ thống tính toán hiệu năng cao.

Luận án thiết kế cổng logic toàn quang sử dụng hiệu ứng giao thoa đa mode thay vì dùng hiệu ứng phi tuyến, thiết kế cấu trúc tạo được tín hiệu bậc cao PAM-4 truyền dẫn hiệu quả giữa các hệ thống board-to-board, rack-to-rack và on-chip và kỹ thuật làm chậm tín hiệu trong miền quang ứng dụng để làm bộ nhớ quang.

3. Nội dung nghiên cứu của luận án

Luận án nghiên cứu về vấn đề xử lý dữ liệu và truyền dẫn kết nối trong và giữa các hệ thống trung tâm dữ liệu, hệ thống tính toán hiệu năng cao tích hợp lai ghép quang, điện và toàn quang. Từ đó nghiên cứu các module thành phần để chuyển dần sang miền quang như các cấu trúc vi cộng hưởng, giao thoa đa mode, đường dẫn tín hiệu quang, kỹ thuật làm nhanh và làm chậm ánh sáng, kỹ thuật điều chế PAM-4. luận án cũng nghiên cứu về kỹ thuật mô hình và mô phỏng các module mới đề xuất theo công nghệ quang tử silic, phù hợp với công nghệ chế tạo vi mạch CMOS và các hệ thống toàn quang trong tương lai.

4. Đối tượng, phạm vi nghiên cứu

Đối tượng nghiên cứu của luận án là xử lý và truyền dẫn thông tin, dữ liệu quang trong mạng kết nối quang, nghiên cứu về công logic toàn quang, kỹ thuật làm nhanh và làm chậm ánh sáng, hiệu ứng Fano và EIT toàn quang ứng dụng trong làm chậm ánh sáng, tạo tín hiệu PAM-4 ứng dụng trong các trung tâm dữ liệu, hệ thống tính toán hiệu năng cao và trong các hệ thống máy tính cỡ lớn.

Ngoài ra các cấu trúc quang như vi cộng hưởng, giao thoa đa mode, ống dẫn sóng quang, bộ ghép có hướng, bộ Sagnac,...cũng được nghiên cứu trong Luận án.

5. Phương pháp nghiên cứu

Luận án sử dụng các mô hình toán học, giải thích thiết kế các cấu trúc và dùng các kỹ thuật mô phỏng số chuyên dụng để thiết kế, tối ưu hóa các cấu trúc thành phần, cụ thể:

- Phương pháp giải tích: Dựa vào mô hình toán của các cấu trúc, tính toán, thiết kế giải tích và sau đó dùng mô phỏng số để thiết kế tối ưu.

- Phương pháp ma trận truyền dẫn: Mô hình các linh kiện trong miền quang như ống dẫn sóng, bộ ghép có hướng, bộ ghép giao thoa đa mode MMI, bộ vi cộng hưởng, cấu trúc giao thoa Mach-Zehnder qua ma trận.

- Phương pháp mô phỏng số: sử dụng các phương pháp mô phỏng cho linh kiện quang được sử dụng trong công nghiệp như phương pháp EME (Eigenmode Expansion), FDTD (Finite Difference Time Difference), BPM (Beam Propagation Method) và FDM (Finite Difference Method). Các mô phỏng trong miền điện và quang được ứng dụng để tìm ra các kích thước tối ưu cho linh kiện có thể hoạt động chính xác với ma trận được thiết kế.

- Phương pháp tối ưu hóa: Sử dụng mô phỏng số tại các tham số xung quanh tham số tìm được theo tính toán lý thuyết để tìm ra chính xác kích thước ứng dụng trong

thực tiễn, trên cơ sở dùng công nghệ chế tạo theo chuẩn CMOS. Các thiết kế phù hợp với quy trình chế tạo chuẩn CMOS đến bước prototype.

6. Ý nghĩa khoa học và thực tiễn

Các kết quả luận án đóng góp mới cho các lĩnh vực liên ngành kỹ thuật máy tính, hệ thống mạng, vi mạch điện tử và có thể tạo ra một hướng nghiên cứu mới về ứng dụng cụ thể của các hiệu ứng vật lý trong tính toán quang và máy tính toàn quang.

7. Bộ cục của luận án

Luận án gồm 4 chương:

Chương 1 trình bày các khái niệm cơ bản, một số cấu trúc thành phần dùng để thiết kế các module xử lý thông tin quang như cấu trúc vi cộng hưởng, cấu trúc giao thoa đa mode. Kỹ thuật mô hình hóa dùng giải tích và mô phỏng số để thiết kế và đánh giá các module cũng được trình bày ở Chương 1.

Chương 2 trình bày về thiết kế cổng logic toàn quang như NAND, OR và XNOR sử dụng cấu trúc tích hợp nhỏ gọn, suy hao thấp, có thể tích hợp lớn hơn để tạo thành các mạch logic cỡ lớn. Chương này trình bày 2 cấu trúc mới để tạo được cổng logic toàn quang sử dụng công nghệ quang tử silic và lai ghép plasmonic.

Chương 3 trình bày về thiết kế mới tạo cộng hưởng Fano và EIT ứng dụng trong làm nhanh và làm chậm ánh sáng.

Chương 4 trình bày thiết kế tạo tín hiệu PAM-4 có nhiều ưu điểm để thay thế các tín hiệu nhị phân, ứng dụng trong các kết nối quang board-to-board và đặc biệt giữa các hệ thống máy chủ, tác tầng chuyển mạch của hệ thống trung tâm dữ liệu.

Chương 1

Tổng quan về xử lý tín hiệu quang trong mạng

Chương 1 trình bày tổng quan về hệ thống tính toán hiệu năng cao và trung tâm dữ liệu toàn quang. Một số cấu trúc cơ bản để thiết kế nên các cổng logic, bộ trễ, bộ tạo tín hiệu PAM-4 xử lý và truyền dẫn tín hiệu trong miền quang trong các chương tiếp theo như ống dẫn sóng, cấu trúc giao thoa đa mode, cấu trúc vi cộng hưởng được trình bày ở Chương 1. Các thành phần của hệ thống tính toán, kết nối máy tính quang như bộ nhớ quang, bộ đệm, chuyển mạch quang, các cổng logic toàn quang, tạo tín hiệu đa mức truyền dẫn tốc độ cao trên các chip quang được thiết kế từ các thành phần cơ bản này. Chương 1 cũng trình bày về phương pháp mô hình hóa và mô phỏng số để thiết kế được sử dụng trong Luận án.

1.1 Hệ thống tính toán và kết nối quang trong các trung tâm dữ liệu

Lưu lượng truy cập tại các trung tâm dữ liệu DCN (Data center networks) tăng nhanh đã dẫn đến nhu cầu với hàng trăm nghìn máy chủ cần được kết nối thông qua mạng có độ trễ thấp và dung lượng cao. Tuy nhiên, các DCN hiện tại sử dụng chuyển mạch gói điện tử và kết nối liên điểm-điểm bị hạn chế về thông lượng, độ trễ cao, tính linh hoạt thấp và hiệu suất mạng kém. Ngoài ra, khả năng mở rộng mạng tổng thể bị hạn chế do giới hạn về cơ sở chuyển mạch ngày càng mở rộng, do đó làm tăng chi phí mạng và độ phức tạp của hệ thống [4]. Các thiết bị xử lý thông tin thông thường sẽ không thể duy trì sự tăng trưởng lưu lượng khổng lồ dự kiến và nhu cầu băng thông liên quan nếu không có mức tiêu thụ điện năng tăng đáng kể. Trong một kịch bản như vậy, các hệ thống xử lý thông tin trong miền điện sẽ sớm đạt đến giới hạn của chúng và trở nên không bền vững để mở rộng thêm.

Các nghiên cứu chỉ ra rằng các chuyển mạch gói trong miền điện EPS (Electronic Packet Switching) của hệ thống DCN đã chiếm đến 30% tổng mức tiêu thụ năng lượng của các thiết bị công nghệ thông tin (bao gồm máy chủ, kho lưu trữ, thiết bị chuyển mạch, v.v.) [28]. Một lý do quan trọng khiến DCN tiêu thụ năng lượng cao như vậy là

yêu cầu công suất cao khi chuyển đổi điện-quang (E/O) và quang-thành-điện (O/E) được triển khai trong DCN. Hiện tại, sợi quang chỉ được sử dụng trong các DCN để truyền dữ liệu giữa máy chủ và bộ chuyển mạch. Kết nối quang được coi là một giải pháp đầy hứa hẹn để giải quyết vấn đề tiêu thụ điện năng của các DCN. So với EPS, kết nối quang có thể hỗ trợ tốc độ truyền tải cao và khả năng chuyển mạch theo cách tiết kiệm năng lượng và chi phí. Bằng cách thay thế EPS bằng các kết nối quang học, chi phí tổng thể và mức tiêu thụ điện năng của DCN sẽ giảm.

Để giải quyết vấn đề này, trước hết chúng ta cần phải nghiên cứu nguyên nhân gây ra việc sử dụng tài nguyên bị hạn chế. Trong trung tâm dữ liệu hiện đại, hàng nghìn máy chủ phiên được kết nối với nhau trong mạng. Máy chủ truyền thống chứa các tài nguyên khác nhau (tức là CPU, bộ nhớ, bộ nhớ). Các tài nguyên này được tích hợp với nhau trên bus của máy chủ và số lượng của mỗi tài nguyên là cố định. Tuy nhiên, các ứng dụng hoặc dịch vụ chạy trên máy chủ rất đa dạng và sẽ yêu cầu lượng tài nguyên khác nhau.

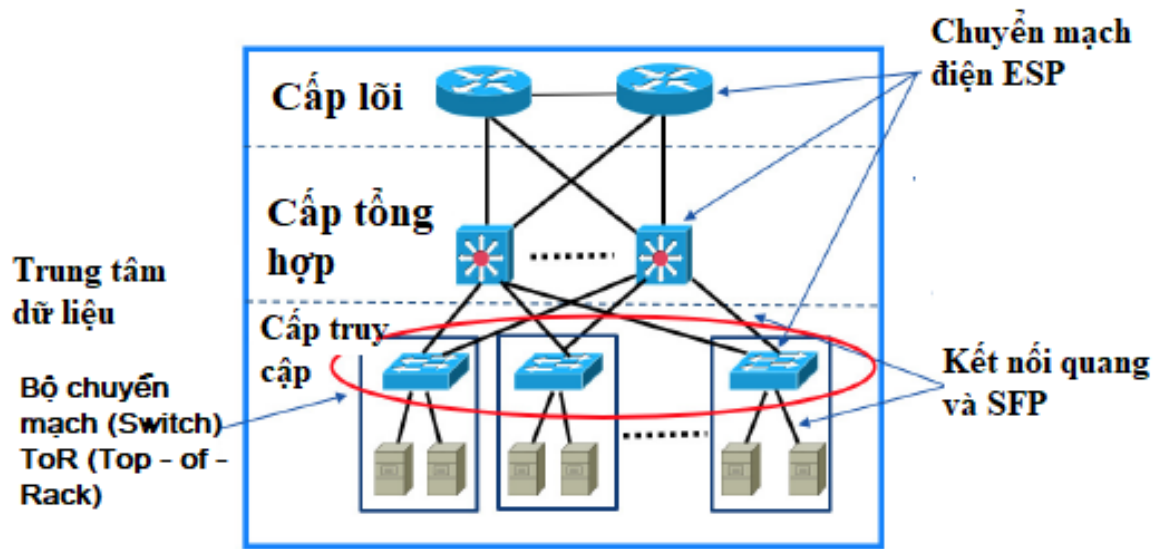
Sự không phù hợp giữa tính đa dạng với yêu cầu về tài nguyên của các ứng dụng này với lượng tài nguyên cố định được tích hợp trong các máy chủ dẫn đến việc bị nghẽn trong xử lý và truyền dẫn thông tin [29]. Đây là một trong những lý do chính hạn chế việc sử dụng tài nguyên của DC (data center) hiện đại. Tài nguyên mắc nghẽn có nghĩa là các ứng dụng đang chạy trong một máy chủ đã sử dụng hết một loại tài nguyên trong khi vẫn còn dư của loại tài nguyên khác. Ví dụ một tác vụ đòi hỏi nhiều CPU như xử lý video có thể tiêu tốn tất cả tài nguyên CPU trong máy chủ và không thể triển khai để chạy thêm tác vụ nào nữa mặc dù vẫn còn tài nguyên bộ nhớ chưa sử dụng.

Với sự phát triển của các thành phần quang tử, chuyển mạch quang, sử dụng ghép kênh phân chia theo bước sóng (WDM-Wavelength Division Multiplexing), đã được coi là một giải pháp khả thi để cung cấp dung lượng cực cao, độ trễ rất thấp và phương tiện chuyển mạch trong suốt hiệu suất cao. So với các kết nối điện, kết nối quang tiêu thụ công suất thấp hơn, cung cấp dung lượng băng thông cao hơn với khoảng cách lớn.

Hình 1.1 trình bày một ví dụ về mạng trung tâm dữ liệu hiện đại. Cấu trúc bao gồm cấp truy cập (edge-biên/cạnh), cấp tổng hợp và cấp lõi. Ở tầng truy cập dưới cùng,

các máy chủ được nhóm lại và được kết nối với các công tắc ToR điện tử. Hệ thống chuyển mạch ToR được kết nối thêm với chuyển mạch điện tử hoặc bộ định tuyến ở cấp cao hơn.

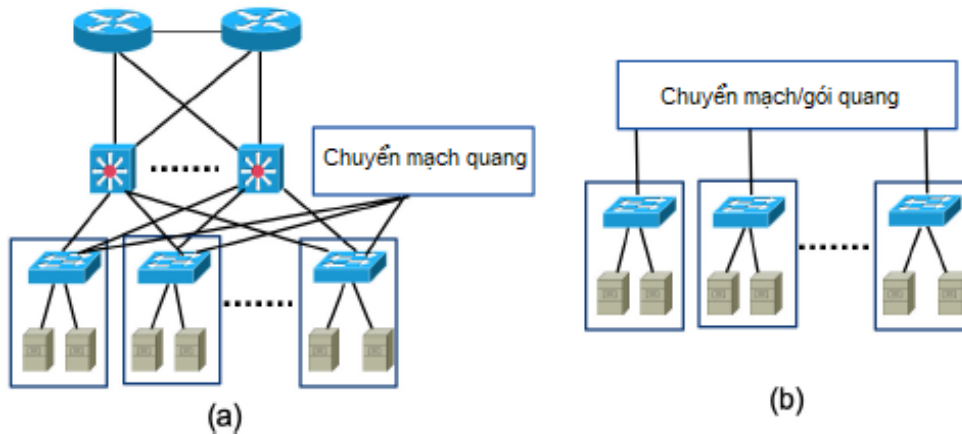
Trong DCN hiện tại, quang học chủ yếu được sử dụng trong truyền dẫn, tức là các sợi quang được sử dụng để kết nối giữa máy chủ và thiết bị chuyển mạch. Vì bộ chuyển mạch và bộ định tuyến điện tử chỉ có thể xử lý các gói dữ liệu trong miền điện, SFP (small form-factor pluggable) được yêu cầu ở mọi máy chủ và mỗi cổng của bộ chuyển mạch để cung cấp chuyển đổi điện-quang và quang-điện.



Hình 1.1. Kiến trúc của một trung tâm dữ liệu

Trong những năm gần đây, các kiến trúc kết nối quang học khác nhau cho các DCN đã được đề xuất. Những kiến trúc này có thể được phân loại là kết hợp lai (hybrid) và toàn quang (all-optical) (Hình 1.2) [30].

Trong các kiến trúc lai, cả kết nối chuyển mạch điện EPS (electronic packet switch) và kết nối quang học đều được sử dụng. Đặc biệt, EPS được sử dụng để truyền các luồng lưu lượng có tuổi thọ ngắn và chuyển mạch quang OCS (optical circuit switch) được sử dụng để truyền các luồng lưu lượng tiêu thụ băng thông và có tuổi thọ cao. Trong kiến trúc toàn quang, bộ chuyển mạch quang được triển khai trong DCN để thay thế EPS ở tầng lõi và tầng tổng hợp của DCN.

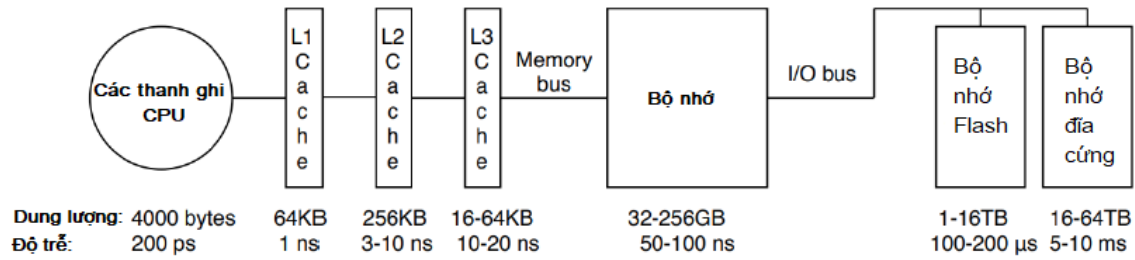


Hình 1.2. Kiến trúc của trung tâm dữ liệu quang (a) lai ghép và (b) toàn quang

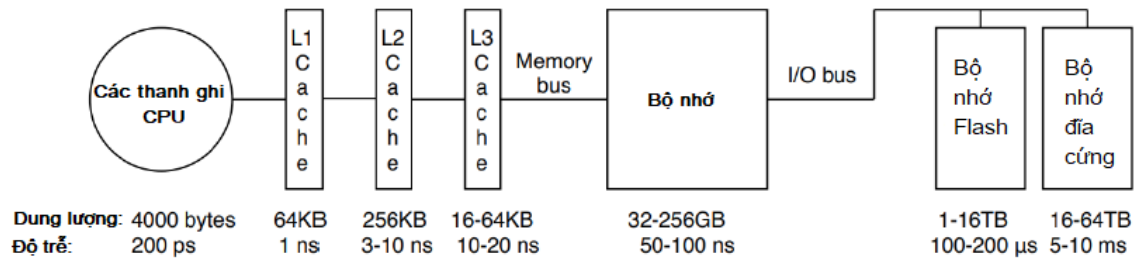
Máy tính hiện đại bao gồm các loại tài nguyên khác nhau, chẳng hạn như bộ vi xử lý CPU, hệ thống lưu trữ và các giao diện giao tiếp. CPU hoặc bộ xử lý chứa nhiều lõi CPU là thành phần quan trọng của tài nguyên máy tính. Tài nguyên lưu trữ bao gồm lưu trữ chính (còn được gọi là bộ nhớ) và lưu trữ thứ cấp (còn được gọi là ổ đĩa cứng). Cuối cùng, card giao diện mạng được sử dụng để giao tiếp và truyền dữ liệu đến các máy tính hoặc thiết bị khác. CPU thực hiện các phép toán số học và logic trên dữ liệu được lấy từ bộ nhớ lưu trữ.

Với sự phát triển của công nghệ vi mạch, CPU hiện đại có tốc độ xung nhịp cao hơn nhiều so với bất kỳ loại hệ thống lưu trữ nào. Để truyền dữ liệu vào CPU nhanh nhất có thể, các mức bộ nhớ khác nhau được phát triển, tích hợp và kết nối với nhau. Hình 1.3 cho thấy các mức trong hệ thống phân cấp bộ nhớ điển hình trong máy tính hiện đại [31]. Các thanh ghi và bộ nhớ đệm L1-L3 được tích hợp trong chipset CPU. Như có thể thấy trong hình, càng xa CPU, bộ nhớ càng trở nên chậm hơn và lớn hơn. Ngoài ra, tất cả các tài nguyên được tích hợp với nhau trong khung máy chủ vật lý, như thể hiện trong Hình 1.4.

Các tài nguyên được kết nối với nhau trên bo mạch chủ và giao tiếp với những thành phần khác bằng cách sử dụng các kênh và giao thức giao tiếp chuyên dụng [29], chẳng hạn PCIe (Peripheral Component Interconnect Express), Double Data Rate (DDR), SerialATA Attachment (SATA), Direct Media Interface, (DMI),...



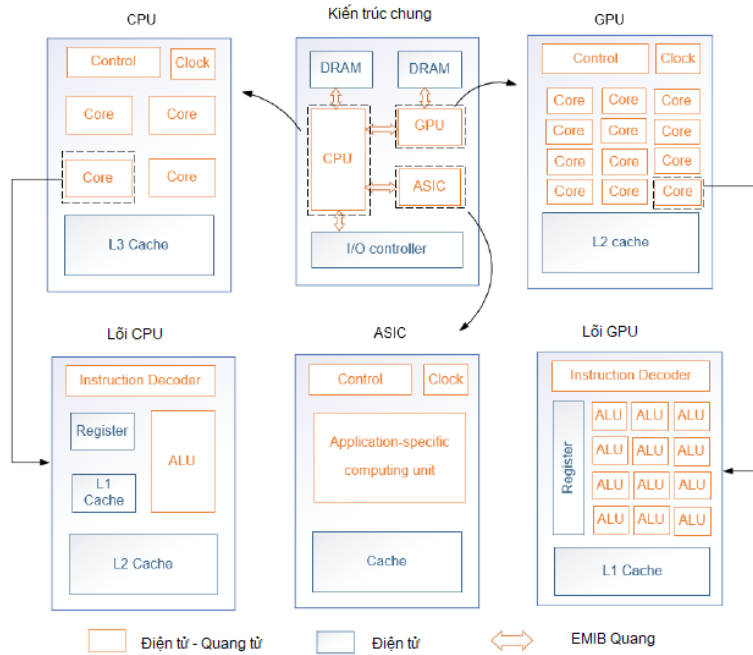
Hình 1.3. Các mức trong hệ thống phân cấp bộ nhớ điển hình



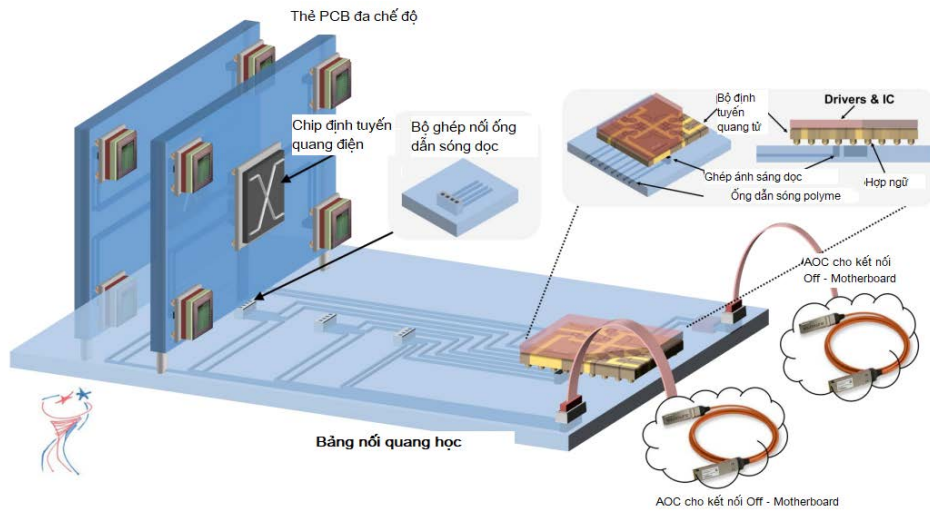
Hình 1.4. Kiến trúc của máy tính hiện đại

Kiến trúc hệ thống tính toán tích hợp quang và kết nối quang được chỉ ra ở Hình 1.5. Bộ xử lý là một chip đơn với tất cả các chiplet (CPU, GPU, RAM, v.v.) được tích hợp và kết nối thông qua các liên kết quang học như kỹ thuật cầu kết nối đa khuôn nhúng quang học (EMIB) của Intel. Các liên kết quang băng thông cao cho phép khả năng đáp ứng yêu cầu về thông lượng truyền dữ liệu cao. Bộ nhớ truy cập ngẫu nhiên động hiện đại (DRAM) sẽ vẫn đóng vai trò là bộ nhớ chính. Các mô-đun máy tính như CPU, GPU và mạch tích hợp dành riêng cho ứng dụng (ASIC) thường bao gồm đơn vị điều khiển, lõi điện toán, đơn vị phân phối xung nhịp và bộ nhớ đệm nhiều cấp. Việc phân phối các tín hiệu đồng hồ trong mô-đun một cách chính xác và hiệu quả để đồng bộ hóa tất cả các logic là rất quan trọng. Mạng phân phối đồng hồ quang có khả năng đơn giản hóa phần lớn các tác vụ với mức tiêu thụ điện năng thấp hơn nhiều. Luận án giải quyết các vấn đề xung quanh các bài toán trong tính toán quang và kết nối quang như ở Hình 1.5. Trong đó các cổng logic xử lý tín hiệu được thay thế bằng cổng logic trong miền quang, kết nối điện thay bằng kết nối quang, tín hiệu truyền dẫn giữa các board-to-board, chip-to-chip và rack-to-rack trong hệ thống thay thế bằng tín hiệu

PAM-4. Chức năng xử lý tín hiệu như trễ và nhớ dần được thay thế bằng cấu trúc trong miền quang.



(a)



(b)

Hình 1.5. (a) Kiến trúc của máy tính hiện đại tích hợp quang và (b) Kết nối quang trong hệ thống trung tâm dữ liệu

1. 2. Tình hình nghiên cứu trong và ngoài nước

Cổng logic toàn quang đã nhận được sự chú ý đáng kể trong nhiều năm qua. Cổng logic quang có nhiều ứng dụng khả thi trong hệ thống xử lý tín hiệu quang và mạng chuyên mạch quang [32]. Trong các node mạng trên chip cần sử dụng các bộ logic quang để thực hiện định tuyến và tách tiêu đề gói tin quang. Ví dụ về các ứng dụng tiềm năng bao gồm bộ cộng, bộ trừ, bộ nhận dạng tiêu đề, bộ kiểm tra chẵn lẻ và hệ thống mã hóa. Trong các mạng toàn quang, nhu cầu về việc triển khai các cổng logic toàn quang có kích thước nhỏ, tiêu thụ điện năng thấp và tốc độ cao là rất lớn. Những yêu cầu này có thể được đáp ứng bằng cách sử dụng các mạch tích hợp quang tử, đặc biệt là quang tử silic [33]. Gần đây Anagha và đồng nghiệp đã thực hiện khảo sát và đánh giá ưu nhược điểm của các kỹ thuật thực hiện cổng logic trong miền quang [34] [35]. Các nghiên cứu này đã tổng hợp các nghiên cứu trước đó chỉ ra rằng có một số cách tiếp cận khác để thực hiện các cổng logic quang học dựa trên nhiều hệ thống vật liệu như logic quang học dựa trên vật liệu phi tuyến [36] [37], giao thoa kế Mach-Zehnder với bộ dịch pha phi tuyến [38] [39] [40] [41] [42] [43], bộ khuếch đại quang bán dẫn (SOAs) [44, 45], hệ thống cơ điện tử (MEMS) [46], tinh thể quang tử dựa trên MMI [47] [48], ống dẫn sóng Bragg [49], ống dẫn sóng plasmonic [50], cấu trúc topo [51], ống dẫn sóng giao thoa đa mode [52]. Gần đây, mạng neuron quang dựa vào hiệu ứng nhiễu xạ trên chip cũng được ứng dụng để thực hiện các cổng logic quang [53]. Mặc dù mạng neuron có thể nhận ra nhiều cổng logic khác nhau, tuy nhiên cấu trúc và thực thi phức tạp. Đồng thời, để thực hiện được hàm kích hoạt phi tuyến (non-linear activation function) vẫn cần chuyển sang miền điện hoặc dùng cấu trúc phi tuyến trong miền quang.

Việc sử dụng các cấu trúc phi tuyến yêu cầu vật liệu phi tuyến. Để xảy ra hiệu ứng phi tuyến yêu cầu cần công suất cao nên khó khăn cho việc tích hợp thành mạch logic cỡ lớn. Đồng thời các vật liệu này không tương thích với cấu trúc đế bán dẫn silic đơn để có thể tích hợp trên một chip ứng dụng trong các node quang trên board mạch. Bên cạnh đó, các phương pháp này yêu cầu công suất cao và yêu cầu chế tạo phức tạp, khó có thể tích hợp trong một chip đơn để phù hợp với máy tính quang trong tương lai.

Trong những năm qua, một lý thuyết chung để thực hiện xử lý tín hiệu quang dựa trên các phần tử MMI đã được thực hiện thành công [54-57]. Các đề xuất cấu trúc dựa trên 2x2, 3x3 và 5x5 MMI để triển khai nhiều cổng logic quang học bao gồm cổng NAND, OR, AND, NOT, XNOR và NORs đã được phát triển thêm dựa trên lý thuyết chung đó [58] [59]. Cổng logic quang dựa vào MMI có ưu điểm nổi trội là dung sai chế tạo cho phép lớn, băng thông cao, là thiết bị thụ động không yêu cầu hiệu ứng phi tuyến và có khả năng tích hợp rất cao, có thể thiết kế và chế tạo trên cùng một đế bán dẫn cùng với các linh kiện khác do đặc điểm tự nhiên của hiệu ứng giao thoa đa mode xảy ra trong ống dẫn sóng đa mode. Tuy nhiên, các cấu trúc logic quang sử dụng MMI trước đây phù hợp với tín hiệu OOK (On Off Keying), chưa phù hợp với tín hiệu điều chế pha và đa mức ví dụ như BPSK (Binary Phase Shift Keying), PAM-4 (Pulse Amplitude Modulation) trong mạng quang. Một số đặc điểm của các phương pháp thiết kế cổng logic toàn quang được đưa ra ở Bảng 1.1.

Bảng 1.1. Các phương pháp thực hiện cổng logic toàn quang

STT	Phương pháp cổng logic toàn quang	Tỷ số phân biệt (dB)	Đặc điểm
1	Dựa vào bộ khuếch đại quang bán dẫn SOA (Semiconductor Optical Amplifier)	19.21	Công suất cao, kích thước lớn
2	Dựa vào sợi phi tuyến HNLF, bộ ghép có hướng phi tuyến	25-70	Công suất cao, kích thước lớn
3	Dựa vào cấu trúc giao thoa	17	Công suất cao, kích thước lớn, yêu cầu điều khiển pha
4	Dựa vào cấu trúc MMI	26	Kích thước nhỏ, dung sai lớn nhưng yêu cầu pha đầu vào, ra

STT	Phương pháp công logic toàn quang	Tỷ số phân biệt (dB)	Đặc điểm
5	Dựa vào ống dẫn sóng plasmonic	27.8	Kích thước nhỏ nhưng suy hao lớn
6	Dựa vào tinh thể photonic	40	Công suất lớn, thiết kế và chế tạo phức tạp
7	Dựa vào laser bán dẫn	20	Công suất vào lớn, kích thước lớn
8	Dựa vào công nghệ photonic 3D	-	Chế tạo phức tạp và vấn đề tương thích công nghệ

Điều khiển tốc độ ánh sáng là một chủ đề thú vị thu hút được nhiều sự quan tâm trong những năm qua [60, 61]. Ánh sáng chậm (thời gian trễ) và ánh sáng nhanh (thời gian trước) có thể tìm thấy các ứng dụng trong mạng thông tin toàn quang, bộ nhớ quang, radar, quang tử vi sóng, chuyên mạch toàn quang và xử lý tín hiệu [62, 63].

Các phương pháp quang tử khác nhau đã được đề xuất để tạo ra ánh sáng chậm và ánh sáng nhanh như sử dụng cấu trúc tinh thể hai chiều [64] [65], tán xạ Brillouin kích thích (SBS) [66] và các cấu trúc điều chế [67]. Ánh sáng chậm và ánh sáng nhanh cũng có thể được tạo ra dựa trên các thiết bị phân tán quang học như cách tử Bragg sợi nghiêng và cách tử Bragg sợi quang [68] [69].

Gần đây, bộ vi cộng hưởng đơn phi tuyến trên vật liệu silic cũng được thiết kế để thực hiện bộ nhớ quang thành công [70]. Các mạch tích hợp quang tử được thực hiện dựa trên silic đã thu hút sự quan tâm lớn do các ưu điểm như kích thước nhỏ gọn, suy hao thấp và độ ổn định cao. Quá trình chế tạo tương thích với công nghệ mạch tích hợp điện tử, do đó làm cho việc chế tạo được đơn giản hóa rất nhiều với chi phí giảm đáng kể [71]. Sự tạo ra ánh sáng chậm và nhanh đã được chứng minh dựa trên máy cộng hưởng vi mạch quang tử silic (MRR) [72].

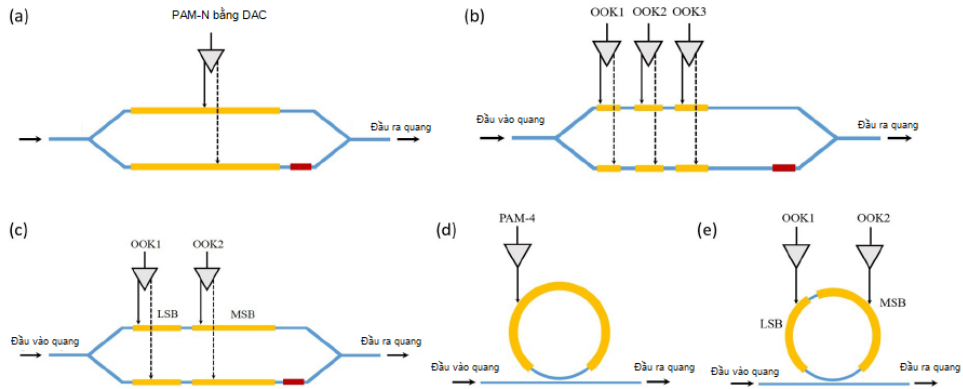
Năm 2014, cấu trúc ánh sáng nhanh và chậm sử dụng kết hợp MMI và MRR lần đầu tiên được thiết kế thành công [73]. Cấu trúc có ưu điểm nhỏ gọn, suy hao thấp và thời gian trễ tối đa đạt 35ps. Sau đó các nghiên cứu về làm nhanh và chậm ánh sáng dựa trên vi cộng hưởng được nghiên cứu và phát triển vì các ưu điểm nổi trội của nó [74]. Bên cạnh đó hiệu ứng EIT là một ứng giải pháp để tạo ra chậm và nhanh ánh sáng [75], bộ nhớ quang [76] và định tuyến tín hiệu quang [77].

Tuy vậy, nhược điểm của các cấu trúc nhanh và chậm ánh sáng trên là sử dụng cấu trúc tinh thể và cách tử Bragg, tán xạ SBS với nhiều lỗ khí và cách tử yêu cầu kỹ thuật chế tạo chính xác, suy hao cao và mạch rất phức tạp. Đồng thời rất khó để đạt độ trễ ánh sáng lớn do yêu cầu kích thước mạch tăng. Do vậy, việc tìm ra được cấu trúc tạo hiệu ứng nhanh, chậm ánh sáng và ứng dụng trong đệm quang với thiết kế đơn giản, dễ chế tạo, nhỏ gọn mà làm tăng được thời gian làm chậm (thời gian trễ) hay thời gian trễ thay đổi được là hết sức cần thiết, có ý nghĩa khoa học và thực tiễn.

Bài toán tiếp theo luận án giải quyết đó là việc truyền dữ liệu từ node trên chip được truyền đi xa từ board-to-board và từ chip to chip, từ server này đến server kia đảm bảo tốc độ cao cho các hệ thống tính toán và trung tâm dữ liệu lớn, hay các kết nối quang (optical interconnects).

Chương 4 chỉ ra rằng điều chế PAM-4 là phù hợp để truyền dẫn, kết nối quang với công suất tiêu thụ phù hợp lại cho băng thông và tốc độ truyền dẫn cao. Điều quan trọng là cần thiết kế cấu trúc để tạo được tín hiệu PAM-4 đơn giản, có độ tuyến tính cao, chính xác [78].

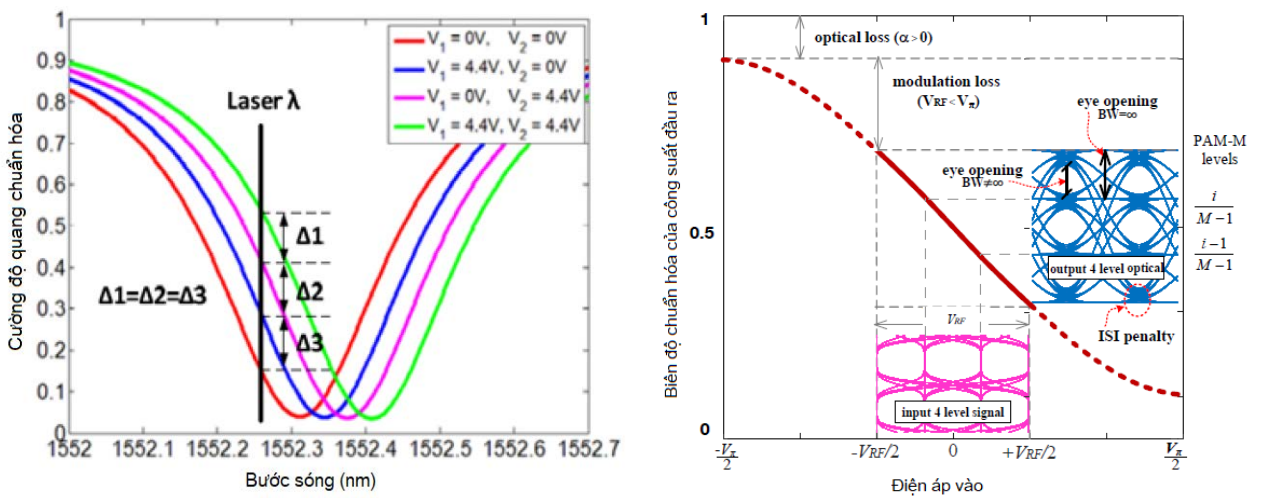
Để tạo ra tín hiệu PAM-4 truyền dẫn trong mạng quang, các cấu trúc dựa trên bộ điều chế MRM, bộ điều chế travelling-wave Mach-Zehnder (TWMZM) [79], MZI [80], bộ điều chế polyme điện quang và bộ điều chế LiNbO₃, hiệu ứng EIT [81] đã được đề xuất. Hình 1.6 chỉ ra các cấu trúc MZI và MRR sử dụng cho điều tạo tín hiệu PAM-4.



Hình 1.6 Cấu trúc MZI và MRR ứng dụng cho tạo tín hiệu PAM-4

Các phương pháp trên có nhược điểm là yêu cầu mạch phức tạp và có dung sai chế tạo thấp. Ngoài ra, các cấu trúc này sử dụng bộ ghép định hướng nên rất khó điều khiển bộ ghép định hướng để đạt được tỷ lệ ghép chính xác [82]. Một hạn chế khác là các mức PAM-4 với mức tiêu thụ điện năng cao do yêu cầu của sự thay đổi pha bất buộc, đồng thời các cấu trúc trước đây đều có độ phi tuyến cao do sử dụng hàm truyền của cấu trúc MZI và MRR như minh họa ở Hình 1.7.

Trong đó 4 mức PAM-4 được lấy ở các điểm khác nhau trên hàm truyền đạt. Mong muốn của thiết kế là độ mở của mắt phải cao và khoảng cách biên độ giữa 2 mức gần nhau càng cao càng tốt nhưng phải trong độ tuyến tính cho phép.



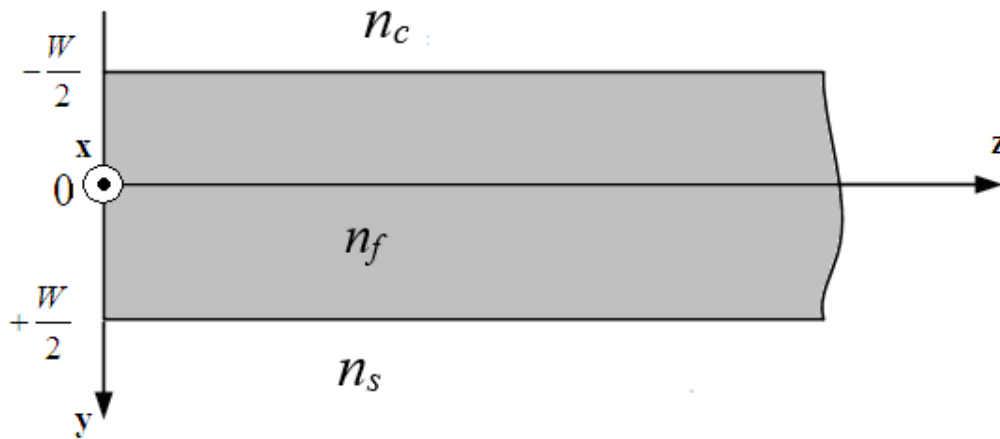
Hình 1.7 Hàm truyền MZI và MRR sử dụng cho tạo tín hiệu PAM-4

1.3 Các thành phần hệ thống tính toán, kết nối toàn quang

1.3.1 Ống dẫn sóng (Optical waveguide-OWG)

Ống dẫn sóng phẳng như được chỉ ra ở Hình 1.8 [83] [84] [85] [86]; trong đó W là chiều rộng của ống dẫn sóng, n_c , n_f và n_s ($n_f > n_s$ và $n_f > n_c$) là chiết suất của vỏ, lõi và đế của ống dẫn sóng. Giả sử z là chiều truyền dẫn tín hiệu.

Ánh sáng được truyền qua ống dẫn sóng theo nguyên tắc phản xạ toàn phần. Việc phân tích nguyên tắc truyền ánh sáng trong ống dẫn sóng phẳng được thực hiện theo phương pháp xấp xỉ quang hình học hoặc giải phương trình Maxwell trong ống dẫn sóng.



Hình 1.8. Ống dẫn sóng phẳng

Phương trình Maxwell cho sóng điện từ trong ống dẫn sóng là [87]:

$$\nabla \cdot \mathbf{D} = \rho \quad (1.1)$$

$$\nabla \times \mathbf{E} = -\mu \frac{\partial \mathbf{H}}{\partial t} \quad (1.2)$$

$$\nabla \cdot \mathbf{H} = 0 \quad (1.3)$$

$$\nabla \times \mathbf{H} = \mathbf{J} + \frac{\partial \mathbf{D}}{\partial t} \quad (1.4)$$

Trong đó, ký hiệu chữ đậm là vector. \mathbf{E} , \mathbf{H} , $\mathbf{D} = \epsilon \mathbf{E}$ là các vector trường điện, từ và dịch chuyển điện tương ứng. Các ký hiệu ϵ , μ , ρ là hằng số điện môi, độ từ thẩm và mật độ điện tích tự do. Với môi trường đẳng hướng, không có điện tích tự do, phương trình Maxwell được viết lại thành:

$$\nabla^2 \Psi - \mu_0 \epsilon \frac{\partial^2 \Psi}{\partial t^2} = 0 \quad (1.5)$$

trong đó Ψ là trường điện hoặc từ. Ψ có thể được viết dưới dạng tổng quát như sau [88]:

$$\Psi(x, y, z, t) = \psi(y) \exp[j(\omega t - \beta z)] \quad (1.6)$$

Ở đây, ω là tần số góc, $\psi(y)$ là biên độ phức của trường và β là hằng số truyền lan. Thay phương trình (1.6) vào phương trình (1.5), ta có phương trình truyền sóng trong ống dẫn sóng phẳng là:

$$\nabla^2 \psi + [k^2 n^2(y) - \beta^2] \psi = 0 \quad (1.7)$$

trong đó k là hằng số sóng, λ là bước sóng và $n(y)$ là phân bố chiết suất.

Trong luận án này, các ống dẫn sóng cấu trúc trên vật liệu silic SOI (Silicon on insulator) và plasmonic được sử dụng [89]. Công nghệ quang tử silic (Silicon photonics) hiện nay là một trong những công nghệ cốt lõi nhất để thiết kế, chế tạo các hệ thống máy tính toàn quang. Điểm đặc biệt là công nghệ này sử dụng công nghệ chế tạo CMOS hiện thời với giá thành rẻ và dễ dàng nếu chế tạo hàng loạt như nền công nghiệp máy tính. Công nghệ cho phép chế tạo linh kiện có kích thước nhỏ, khả năng tích hợp cao và đa năng. Ống dẫn sóng SOI sử dụng silic làm đế và lõi ống dẫn sóng. Độ tương phản chiết suất của lõi và vỏ ống dẫn sóng cao. Chiết suất của Si là $n_{Si} = 3,45$ và của SiO_2 là $n_{\text{SiO}_2} = 1,45$ cho phép bán kính ống dẫn sóng vòng nhỏ. Hơn nữa công

nghe SOI cho phép tích hợp thiết bị quang tử và điện tử một cách dễ dàng khi một số thành phần của hệ thống chưa thiết kế được trong miền quang.

1.3.2 Cấu trúc giao thoa đa mode (Multimode interference-MMI)

Dựa vào cấu trúc giao thoa đa mode MMI, đã có rất nhiều cấu trúc thiết bị chức năng được thiết kế và chế tạo như bộ ghép quang, [90] [91] [92], bộ giám sát kênh quang [93], bộ chuyển mạch và điều chế quang sử dụng MZI [94] [95] [96] [97] [98] [99] [100], bộ điều chế/giải điều chế [101] [102] [103], cổng logic quang [52] [104] [105] [106] [107], các bộ phân chia cực quang [108] [109], bộ định tuyến quang [110], bộ giải mã quang [111], cảm biến quang [112] và laser [113]. Bộ cộng hưởng MMI có thể được kết hợp với các thành phần khác để tạo ra các linh kiện chức năng đặc biệt như kết hợp với tinh thể quang, bộ cộng hưởng quang,...

Đặc tính của bộ ghép MMI có thể được đặc trưng bằng một ma trận, gọi là ma trận truyền dẫn \mathbf{M} [58]. Phương pháp phân tích MMI dựa vào ma trận truyền dẫn gọi là phương pháp ma trận truyền dẫn, TMM. Việc phân tích MMI dùng phương pháp TMM đơn giản, tính toán nhanh và cho kết quả chính xác. Do vậy, trong nghiên cứu này, phương pháp TMM được sử dụng.

Giả sử MMI được đặc trưng bằng ma trận \mathbf{M} . Tín hiệu vào và ra của bộ ghép MMI $\mathbf{a} = [a_1 \ a_2 \ \dots \ a_N]^T$ và $\mathbf{b} = [b_1 \ b_2 \ \dots \ b_N]^T$ quan hệ với nhau qua phương trình:

$$\mathbf{b} = \mathbf{M}\mathbf{a} \quad (1.8)$$

trong đó, $\mathbf{M} = [m_{ij}]_{N \times N}$, a_i ($i=1, \dots, N$) là biên độ phức tín hiệu vào cổng i và b_j ($j=1, \dots, N$) là biên độ phức tín hiệu ra cổng j .

1.3.3 Bộ vi cộng hưởng (Microring Resonator-MRR) và Mach Zehnder

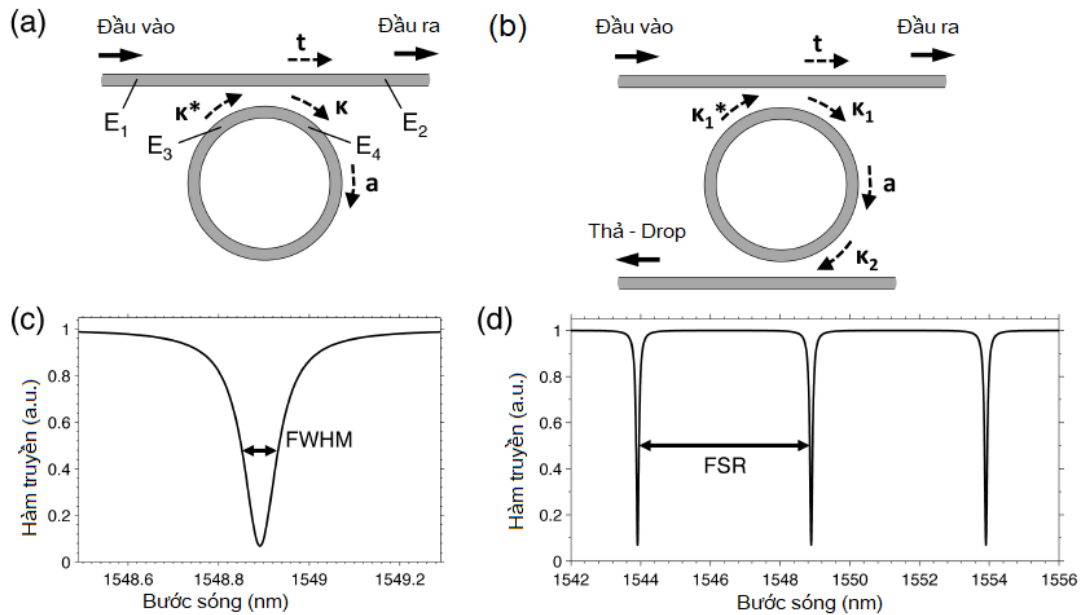
Bộ vi cộng hưởng MRR (Microring Resonator) hay bộ cộng hưởng RR (Ring Resonator) được xem là các linh kiện quang đa năng và được ứng dụng rất rộng rãi trong thiết kế các cấu trúc on-chip vi mạch quang, đặc biệt trong các hệ thống máy tính quang vì chúng có kích thước nhỏ. Rất nhiều thiết bị chức năng như bộ điều chế, giải

điều chế, tách/ghép kênh, logic quang và lọc quang đã được thiết kế và chế tạo dựa vào MRR và RR.

Cấu trúc vi cộng hưởng được phân tích dựa theo lý thuyết của Yariv [114]. Ví dụ 2 cấu trúc vi cộng hưởng đơn gồm 1 và 2 bộ ghép được chỉ ra ở Hình 1.9(a) và Hình 1.9(b).

Mối quan hệ giữa các tín hiệu vào và ra của bộ ghép trong cấu trúc vi cộng hưởng được biểu diễn bằng phương trình [114]:

$$\begin{pmatrix} E_2 \\ E_4 \end{pmatrix} = \begin{pmatrix} \tau & j\tau \\ j\tau & \tau \end{pmatrix} \begin{pmatrix} E_1 \\ E_3 \end{pmatrix} \quad (1.9)$$



Hình 1.9. Mô phỏng số tín hiệu truyền trong mạch quang

trong đó, τ , κ là các hệ số ghép, là tín hiệu truyền qua ống dẫn sóng vòng, α là hệ số suy hao tín hiệu khi truyền qua ống dẫn sóng có chiều dài L , $\phi = \beta L$ là pha và β là hằng số truyền lan.

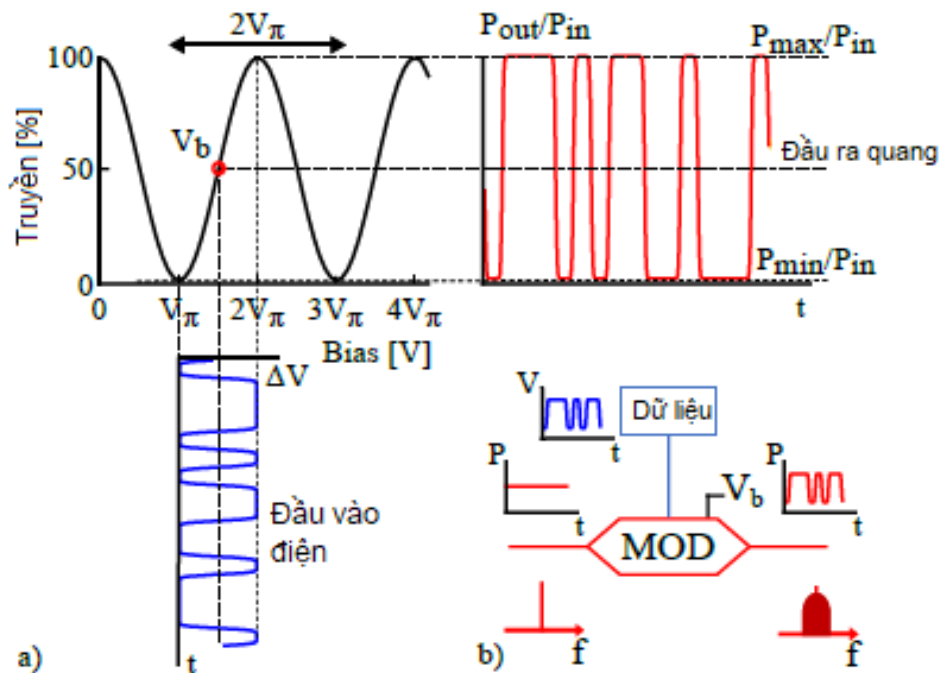
Tín hiệu và công suất tín hiệu vào và ra từ đó được tính theo công thức:

$$\frac{E_{output}}{E_{input}} = \frac{\tau e^{-i\phi} - \alpha}{e^{-i\phi} - \tau\alpha} \quad (1.10)$$

$$T = \left| \frac{E_{output}}{E_{input}} \right|^2 = \left| \frac{\tau e^{-i\phi} - \alpha}{e^{-i\phi} - \tau\alpha} \right|^2 = \frac{\alpha^2 + \tau^2 - 2\alpha\tau \cos(\phi)}{1 - \alpha^2\tau^2 - 2\alpha\tau \cos(\phi)} \quad (1.11)$$

Từ đó đặc tính truyền dẫn của bộ vi cộng hưởng được mô phỏng như ở hình trên.

Tín hiệu điện được điều chế để chuyển thành tín hiệu quang sử dụng cấu trúc Mach Zehnder (MZM) được chỉ ra ở Hình 1.10. Dữ liệu (Data) trong miền điện đưa vào điều chế trên một cánh của cấu trúc MZM. V_b là thiên áp (bias voltage) để điều chỉnh điểm hoạt động (operating point) của mạch, thông thường đặt điểm V_b để hoạt động tại điểm 50% hàm truyền như ở hình vẽ để tối ưu hóa công suất cực đại và cực tiểu.



Hình 1.10. Điều chế tín hiệu quang sử dụng giao thoa Mach Zehnder

1.2.4 Cộng hưởng Fano và bộ nhớ quang

Cộng hưởng Fano được nhà khoa học Fano phát hiện ban đầu là xảy ra trong các hệ thống lượng tử. Trong hệ thống thông tin quang ngày nay, cộng hưởng Fano đã được phát hiện từ các cấu trúc cách tử [43] [115]. Đặc biệt, cộng hưởng Fano đã được phát hiện trong các cấu trúc vi cộng hưởng quang [116] [117]. Do đặc điểm bất đối xứng của cộng hưởng Fano, bộ cộng hưởng Fano có rất nhiều ứng dụng trong thực tiễn. Bài báo tổng kết các ứng dụng của cộng hưởng Fano được các nhà khoa học tại Úc và Anh công bố [118] [119]. Một số ứng dụng của cộng hưởng Fano như chuyển mạch quang với công suất cực nhỏ, lọc quang, tạo hiệu ứng trong suốt cảm ứng EIT (electromagnetic induced transparency), làm chậm và nhanh ánh sáng, bộ đệm và bộ nhớ quang đã được thiết kế và chế tạo thành công [120] [121].

Gần đây hiệu ứng Fano và EIT trong hệ thống nguyên tử đã được phát hiện trong hệ thống vi cộng hưởng quang [122]. Trong luận án này, hiệu ứng Fano và EIT được phát hiện xảy ra trong một cấu trúc đặc biệt, từ đó có thể được ứng dụng để điều khiển tán sắc và vận tốc nhóm, tạo bộ đệm và bộ nhớ quang.

1.4 Kỹ thuật phân tích, mô phỏng, thiết kế mạch quang

1.4.1 Phân tích giải tích dùng ma trận truyền dẫn

Tín hiệu quang truyền dẫn trong các mạch quang được phân tích giải tích, sau đó dùng phương pháp mô phỏng số để tối ưu hóa. Thông thường phương pháp phân tích truyền mode (MPA- Mode Propagation Analysis) được sử dụng. Lấy ví dụ trong các cấu trúc giao thoa đa mode MMI hoạt động dựa vào nguyên tắc tự tạo ảnh, tức là sau một khoảng cách truyền dẫn nào đó tín hiệu ra sẽ được tái tạo chính xác tín hiệu vào. Xét một ống dẫn sóng phẳng đa mode có chiều rộng $W = W_{\text{MMI}}$. Giả sử ống dẫn sóng hỗ trợ M mode $\nu = 0, \dots, M-1$ có các profile $\phi_\nu(\mathcal{Y})$ và hằng số truyền lan là β_ν . Tín hiệu có profile $\psi(\mathcal{Y}, 0)$ được đưa vào ống dẫn sóng đa mode có thể được phân tích thành tổng các phân bố trường $\phi_\nu(\mathcal{Y})$ của các mode như sau [90]:

$$\psi(y,0) = \sum_{\nu=0}^{M-1} c_{\nu} \phi_{\nu}(y) \quad (1.12)$$

trong đó c_{ν} là hệ số kích thích trường, được tính theo công thức:

$$c_{\nu} = \frac{\int \psi(y,0) \phi_{\nu}^*(y) dy}{\int |\phi_{\nu}(y)|^2 dy} \quad (1.13)$$

Do vậy, tại vị trí $z=L$ trong ống dẫn sóng, trường được tính theo công thức:

$$\psi(y, z=L) = \sum_{\nu=0}^{M-1} c_{\nu} \phi_{\nu}(y) e^{-j\beta_{\nu}L} \quad (1.14)$$

Đồng thời, áp dụng xấp xỉ Euler, hằng số truyền lan trong ống dẫn sóng đa mode là [123]:

$$\beta_{\nu} \approx k_0 n_f - \frac{(\nu+1)^2 \pi \lambda}{4 n_f W_e^2} \quad (1.15)$$

trong đó n_f là chiết suất lõi và W_e là độ rộng hiệu dụng của ống dẫn sóng cho mode cơ bản (bậc nhất). Sự sai khác hằng số truyền lan của mode cơ bản ($\nu=0$) và mode ν là:

$$\beta_0 - \beta_{\nu} \approx \frac{\nu(\nu+2)\pi\lambda}{4 n_f W_e^2} \quad (1.16)$$

Đặt $L_{\pi} = \frac{\pi}{\beta_0 - \beta_1} \approx \frac{4 n_f W_e^2}{3\lambda}$, L_{π} gọi là chiều dài phách của hai mode bậc thấp

nhất; phương trình (1.16) được viết lại thành:

$$\beta_0 - \beta_{\nu} \approx \frac{\nu(\nu+2)\pi}{3L_{\pi}} \quad (1.17)$$

Kết quả là, trường trong ống dẫn sóng tại vị trí $z=L$ được tính theo công thức:

$$\Psi(y, z = L) = e^{-j\beta_0 L} \sum_{\nu=0}^{M-1} c_{\nu} \phi_{\nu}(y) \exp\left[j \frac{\nu(\nu+2)}{3L_{\pi}} L\right] \quad (1.18)$$

1.3.2 Mô phỏng số

Việc mô phỏng linh kiện quang tích hợp là việc giải phương trình Maxwell bằng số. Có hai phương pháp cơ bản để tiếp cận giải phương trình Maxwell là tiếp cận giải trực tiếp trong miền thời gian hoặc thực hiện trong miền tần số dùng biến đổi Fourier.

Trong phần này luận án trình bày hai phương pháp được dùng rộng rãi nhất hiện nay để mô phỏng linh kiện quang tích hợp là phương pháp BPM (Beam propagation method), FDTD (Finite difference time domain) và EME (Eigenmode Expansion). Các phương pháp mô phỏng này sử dụng các phần mềm thương mại thiết kế công nghiệp chuyên dụng như Omnisim của Photon Design, OptiFDTD của Optiwave.

BPM là một trong những phương pháp mạnh, được ứng dụng rộng rãi và hiệu quả nhất để giải phương trình Maxwell bằng số cho mô phỏng đặc tính truyền dẫn sóng trong các linh kiện quang tích hợp [124]. Giả sử một tín hiệu đơn tần ω phụ thuộc thời gian t , truyền dẫn trong môi trường chiết suất $n = n(x, y)$ phân bố đều theo hướng truyền dẫn, có dạng $e^{j\omega t}$. Phương trình Maxwell viết cho tín hiệu này là

$$\nabla \times \vec{H} = j\omega n^2 \epsilon_0 \vec{E} \quad (1.19)$$

$$\nabla \times \vec{E} = -j\omega n^2 \epsilon_0 \vec{H} \quad (1.20)$$

trong đó, \vec{E} và \vec{H} là vectơ trường điện và từ, ϵ_0 là hằng số điện môi của môi trường truyền sóng.

Từ (1.19), và (1.20), phương trình truyền sóng là

$$\nabla \times \nabla \times \vec{E} = n^2 k^2 \vec{E} \quad (1.21)$$

Hay có thể viết lại (1.21) dưới dạng sau

$$\nabla(\nabla \cdot \vec{E}) - \nabla^2 \vec{E} = n^2 k^2 \vec{E} \quad (1.22)$$

$$\text{Với } k = \omega \sqrt{\varepsilon_0 \mu_0} \text{ và } \nabla \cdot \vec{E} = -\frac{1}{n^2} \left(E_x \frac{\partial n^2}{\partial x} + E_y \frac{\partial n^2}{\partial y} \right)$$

Từ đó ta rút ra các phương trình đạo hàm riêng mô tả đặc tính truyền sóng của các thành phần trường điện ngang dưới đây

$$\frac{\partial^2 E_x}{\partial x^2} + \frac{\partial^2 E_x}{\partial y^2} + \frac{\partial^2 E_x}{\partial z^2} + n^2 k^2 E_x + \frac{\partial}{\partial x} \left[\frac{1}{n^2} \left(E_x \frac{\partial n^2}{\partial x} + E_y \frac{\partial n^2}{\partial y} \right) \right] = 0 \quad (1.23)$$

$$\frac{\partial^2 E_y}{\partial x^2} + \frac{\partial^2 E_y}{\partial y^2} + \frac{\partial^2 E_y}{\partial z^2} + n^2 k^2 E_y + \frac{\partial}{\partial y} \left[\frac{1}{n^2} \left(E_x \frac{\partial n^2}{\partial x} + E_y \frac{\partial n^2}{\partial y} \right) \right] = 0 \quad (1.24)$$

Phương trình (1.23) và (1.24) là phương trình mô tả chính xác đặc tính truyền sóng trong môi trường chiết suất n . Trong thực tế, hầu hết cấu trúc thiết bị thường biến đổi chậm so với hướng truyền sóng nên sự thay đổi nhanh của trường là do thay đổi pha của trường dọc theo hướng truyền. Do đó vectơ sóng có thể được viết dưới dạng sau:

$$E_u(x, y, z) = F_u(x, y, z) e^{-j\bar{n}kz} \quad (1.25)$$

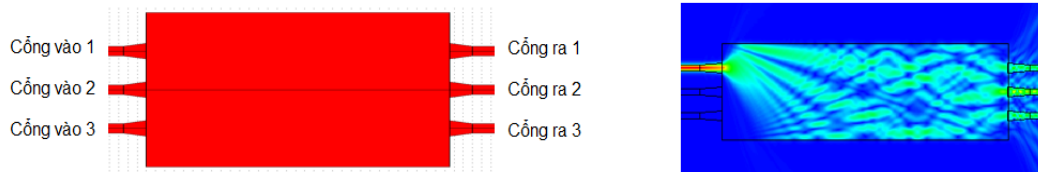
Ở đây \bar{n} là hằng số được chọn bất kỳ, thể hiện sự thay đổi pha trung bình của trường trong môi trường truyền sóng, và u ký hiệu thay cho x hoặc y .

Ý tưởng cơ bản của BPM là giả sử rằng trường biến đổi chậm, tức là bỏ qua thành phần vi phân bậc hai của F_u theo hướng truyền và ta có,

$$\left| \frac{\partial^2 F_u}{\partial z^2} \right| \ll 2\bar{n}k \left| \frac{\partial F_u}{\partial z} \right| \quad (1.26)$$

Từ đó rút ra các phương trình truyền sóng BPM trong môi trường (1.23) và (1.24). Giải các phương trình (1.23) và (1.24) bằng số, đặc tính truyền của trường trong

môi trường chiết suất n được tính toán và mô tả. Lấy kết quả mô phỏng số tín hiệu quang truyền qua cấu trúc giao thoa 3×3 MMI được mô tả ở Hình 1.11.



Hình 1.11 Mô phỏng tín hiệu quang truyền qua 3×3 MMI dùng BPM

1.5 Kết luận Chương 1

Chương 1 trình bày về trung tâm dữ liệu và hệ thống tính toán cỡ lớn sử dụng kiến trúc quang. Các cấu trúc cơ bản như bộ vi cộng hưởng, ống dẫn sóng, cấu trúc giao thoa đa mode, kỹ thuật mô phỏng số và thiết kế dùng phương pháp giải tích cũng được trình bày ở chương này. Các đặc trưng cơ bản của các cấu trúc MMI, bộ ghép có hướng, cấu trúc giao thoa Mach-Zehnder, cấu trúc vi cộng hưởng được trình bày bằng mô hình toán học ở chương này. Các lý thuyết này làm cơ sở để thực hiện các nội dung chương tiếp theo.

Chương 2

Phân tích, thiết kế các cổng logic toàn quang

Chương 2 trình bày nguyên lý để tạo cổng logic toàn quang, từ đó đề xuất 2 cấu trúc mới dựa vào 4x4 MMI và 2x2 MMI kết nối để tạo thực hiện chức năng logic toàn quang ứng dụng trong xử lý thông tin trong các hệ thống tính toán hiệu năng cao và trung tâm dữ liệu quang. Hai cấu trúc tích hợp trên đế silic tương thích với công nghệ CMOS được ứng dụng gồm SOI và plasmonic để giảm kích thước linh kiện được đề xuất và thiết kế.

2.1 Nguyên lý thực hiện cổng logic quang

Các chức năng logic quang học có thể được thực hiện bằng cách sử dụng sự giao thoa giữa hai tín hiệu. Nguyên lý giao thoa giữa hai sóng lần đầu tiên được Young đưa ra trong nghiên cứu về ánh sáng [125]. Nếu hai tín hiệu có cùng phân cực, cùng biên độ chuẩn hóa nhưng khác pha φ_1 và φ_2 tương ứng, giao thoa với nhau, công suất chuẩn hóa của tín hiệu tổng được biểu thị bằng [126]

$$P \propto \cos^2[(\varphi_1 - \varphi_2)/2] \quad (2.1)$$

Công suất chuẩn hóa của tín hiệu tổng hợp sẽ trở thành 0 nếu các pha φ_1 và φ_2 thỏa mãn mối quan hệ $\varphi_1 - \varphi_2 = \pi, 3\pi, \dots, (2n+1)\pi$, trong đó n là một số nguyên. Lưu ý rằng cấu trúc MMI dựa vào sự giao thoa. Hoạt động của bộ ghép MMI quang dựa trên nguyên tắc tự tạo ảnh [90] [127]. Tự tạo ảnh là một thuộc tính của ống dẫn sóng đa mode, theo đó trường đầu vào được tái tạo thành một hoặc nhiều hình ảnh trong khoảng thời gian định kỳ dọc theo hướng truyền của ống dẫn sóng. Giả định rằng cấu trúc có N ống dẫn sóng truy cập đầu vào và N đầu ra, tất cả đều là ống dẫn sóng đơn mode giống hệt nhau với chiều rộng W_a . Trong luận án này, vị trí các ống dẫn sóng đầu vào

và đầu ra được đặt ở vị trí p_i [128], được đặt tại các vị trí sau để có được ma trận mong muốn:

$$p_i = \left(i + \frac{1}{2}\right) \frac{W_{MMI}}{N} \quad (2.2)$$

Trường điện bên trong bộ ghép MMI có thể được biểu thị bằng [129]

$$E(p, z) = \exp(-jkz) \sum_{m=1}^M E_m \exp\left(j \frac{m^2 \pi}{4\Lambda} z\right) \sin\left(\frac{m\pi}{W_{MMI}} p\right) \quad (2.3)$$

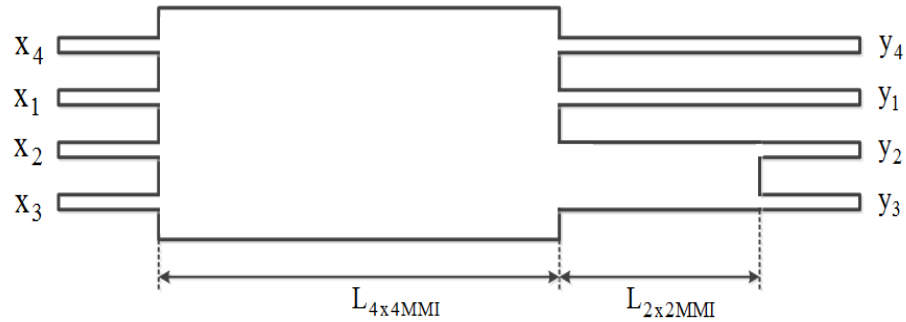
với $i = 1 \div N$ và N là số cổng của bộ ghép MMI. Do đó, các cổng logic quang học có thể được thực hiện bằng cách sử dụng một bộ ghép MMI cùng với bộ dịch pha. Đối với cổng logic quang học dựa trên nguyên tắc MMI, thông tin được mã hóa ở đầu vào và đầu ra theo biên độ hoặc theo pha. Trong nghiên cứu này, mã hóa pha thông tin được sử dụng cho các tín hiệu đầu vào và mã hóa biên độ được sử dụng cho các tín hiệu đầu ra. Việc mã hóa này phù hợp với tín hiệu trong mạng thông tin quang. Luận án sử dụng logic “1” được biểu diễn bởi $1e^{j0}$ và logic “0” được biểu diễn bởi $0e^{j0}$. Để xác định mức logic ở đầu ra của thiết bị, công suất trong ống dẫn sóng đầu ra cần được so sánh với giá trị ngưỡng. Điều này có thể được thực hiện điện tử bằng cách kết nối các cổng đầu ra với mạch quyết định ngưỡng. Một cách tiếp cận khác là sử dụng thiết bị ngưỡng quang học dựa trên bộ ghép MMI hoạt động thay vì sử dụng thiết bị ngưỡng điện tử [130].

2.2 Cổng logic quang dùng 4x4 MMI

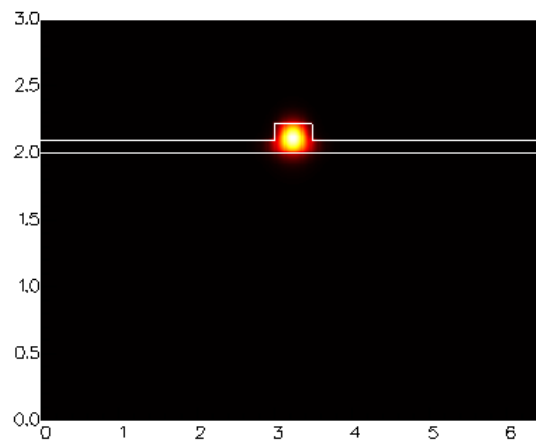
Hình 2.1 (a) thể hiện sơ đồ được đề xuất để triển khai cổng logic quang dựa trên cấu trúc 4x4 và 2x2 MMI. Bằng cách xác định đúng vị trí của ống dẫn sóng đầu vào và đầu ra, biên độ phức tại cổng đầu ra y_2 có thể được biểu diễn bởi:

$$y_2 = 0.5(jx_1 + x_2 + jx_3 - x_4) = 0.5(jx_1 - x_4) + 0.5(x_2 + jx_3) = f(x_2, x_3) \quad (2.4)$$

Với x_1, x_4 là các bộ dao động cục bộ và x_2, x_3 là các biến logic đầu vào và y_2 là biến logic đầu ra. Ở đây, giả định rằng bước sóng và sự phân cực của tín hiệu dao động cục bộ và tín hiệu thông tin là như nhau.



(a)

(b) $W_a=500\text{nm}$

Hình 2.1. (a) Lược đồ đề xuất cho các cổng logic quang học và (b) Tín hiệu trong ống dẫn sóng

Trong nghiên cứu này, ống dẫn sóng SOI với chiều rộng 500nm, chiều cao 220nm và chiều cao phần tử là 90nm được sử dụng cho hoạt động ở chế độ đơn. Mode tín hiệu quang của ống dẫn sóng được mô phỏng theo phương pháp EME được thể hiện trong Hình 2.1(b). Từ phương trình (2.4) chúng ta có thể đạt được các cổng logic XOR, XNOR, OR và NAND bằng các nguyên tắc sau:

(a) Cổng XOR: Để thực hiện cổng logic XOR, sử dụng các đầu vào dao động cục bộ $x_1 = 1e^{j\pi/2}$ và $x_4 = 1e^{j0}$ và giả định rằng một sự dịch pha $-\pi/2$ được sử dụng

ở cổng đầu vào x_3 . Tín hiệu đầu vào được mã hóa bởi thông tin pha. Điều này có nghĩa là trên cổng đầu vào x_3 , pha $\pi/2$ tương ứng với logic 1 và pha $-\pi/2$ tương ứng với logic 0. Đối với cổng đầu vào x_2 , pha 0 tương ứng với logic 0 và pha π tương ứng với logic 1. Kết quả là, bảng chân lý cho cổng XOR được hiển thị trong Bảng 2.1.

Bảng 2.1. Bảng chân lý cho cổng XOR

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($-\pi/2$)	0
0 (0)	1 ($\pi/2$)	1
1 (π)	0 ($-\pi/2$)	1
1 (π)	1 ($\pi/2$)	0

(b) Cổng XNOR: Sử dụng các đầu vào dao động cục bộ (local oscillator) $x_1 = 1e^{j\pi/2}$ và $x_4 = 1e^{j0}$, giả định rằng một di pha $\pi/2$ được sử dụng ở cổng đầu vào x_3 . Đối với cổng đầu vào x_3 , một pha $\pi/2$ tương ứng với logic 0 và $-\pi/2$ tương ứng với logic 1. Đối với cổng đầu vào x_2 , pha 0 tương ứng với logic 0 và pha π tương ứng với logic 1. Kết quả là, bảng chân lý cho cổng XNOR được hiển thị trong Bảng 2.2.

Bảng 2.2. Bảng chân lý cho cổng XNOR

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($\pi/2$)	1
0 (0)	1 ($-\pi/2$)	0
1 (π)	0 ($\pi/2$)	0
1 (π)	1 ($-\pi/2$)	1

(c) **Cổng OR:** Sử dụng các đầu vào dao động cục bộ $x_1 = 1e^{-j\pi/2}$ và $x_4 = 1e^{-j\pi/2}$.

Với các cổng đầu vào x_2 và x_3 , $pha-0$ tương ứng với logic 0 và $pha-\pi$ tương ứng với logic 1. Kết quả bảng chân lý cho cổng OR được hiển thị trong Bảng 2.3.

Bảng 2.3. Bảng chân lý cho cổng OR

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 (0)	0
0 (0)	1 (π)	1
1 (π)	0 (0)	1
1 (π)	1 (π)	1

(d) **Cổng NAND:**

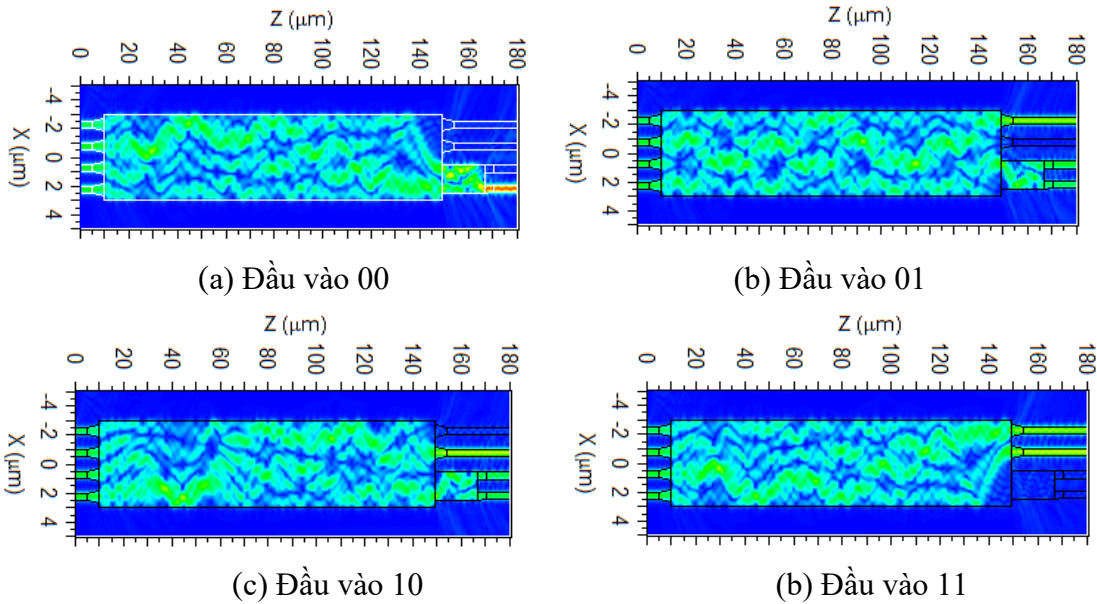
Sử dụng các đầu vào dao động cục bộ $x_1 = 1e^{j\pi/2}$ và $x_4 = 1e^{j\pi/2}$. Đối với các cổng đầu vào x_2 và x_3 , $pha-0$ tương ứng với logic 0 và $pha-\pi$ tương ứng với logic 1. bảng chân lý cho cổng XNOR được hiển thị trong Bảng 2.4.

Bảng 2.4. Bảng chân lý cho cổng NAND

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 (0)	1
0 (0)	1 (π)	1
1 (π)	0 (0)	1
1 (π)	1 (π)	0

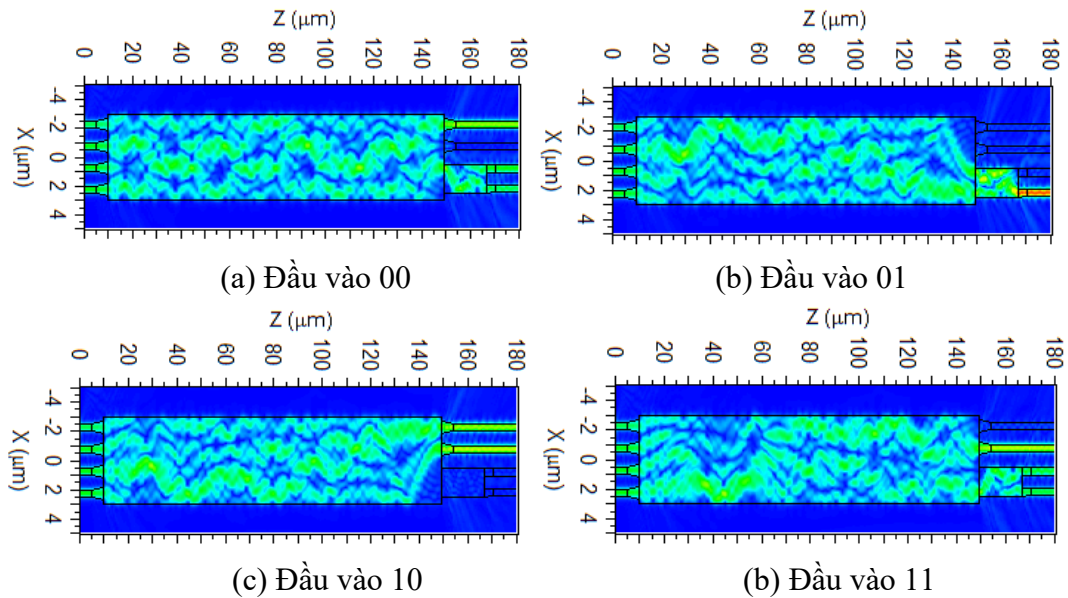
Thực hiện mô phỏng, sự truyền ánh sáng qua các cổng logic được đánh giá và khảo sát. Phương pháp BPM được sử dụng cho các mô phỏng. Các mô phỏng cho thấy hoạt động của cổng logic phù hợp với kết quả phân tích lý thuyết dùng phương pháp ma trận truyền dẫn.

Hình 2.2 cho thấy các phân bố trường của cổng logic XOR ở bước sóng $1,55\mu\text{m}$ cho các giá trị bits đầu vào lần lượt là 00, 01, 10 và 11.



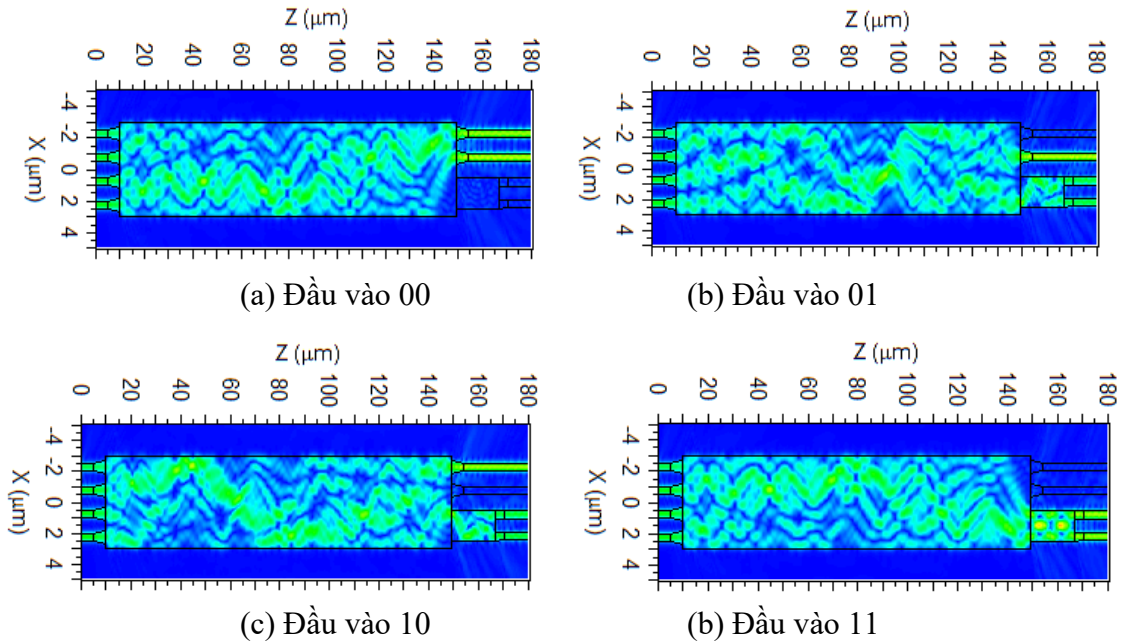
Hình 2.2. Cổng XOR với tín hiệu đầu vào 00, 01, 10, 11

Hình 2.3 cho thấy các phân bố trường của cổng logic XNOR cho các giá trị bits đầu vào lần lượt là 00, 01, 10 và 11.



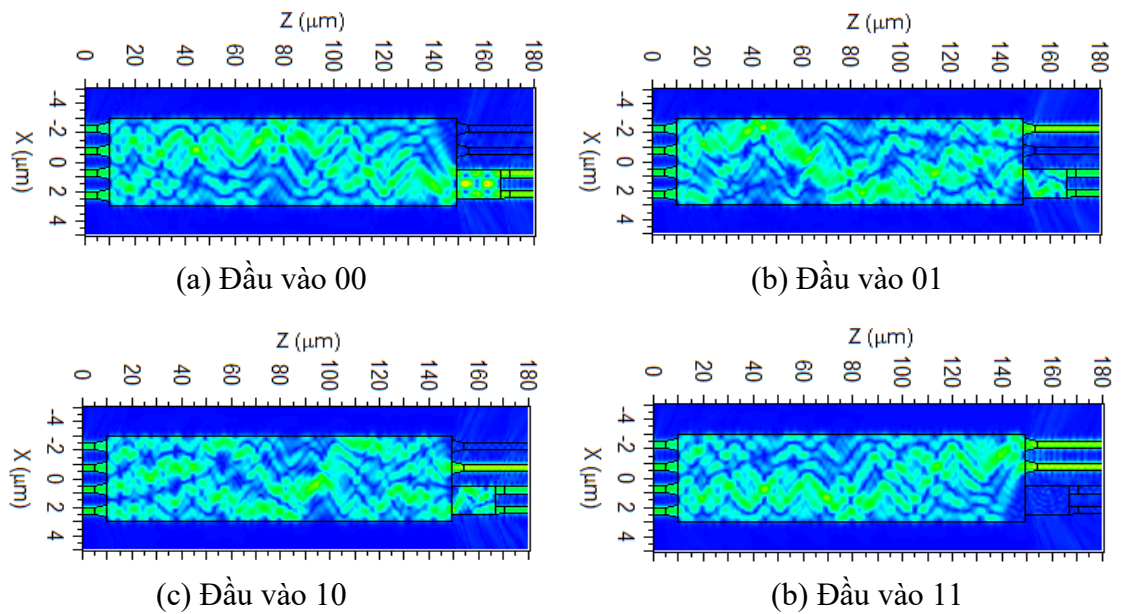
Hình 2.3. Cổng XNOR với tín hiệu đầu vào 00, 01, 10, 11

Hình 2.4 cho thấy các phân bố trường của cổng logic OR cho các giá trị logic đầu vào là 00, 01, 10 và 11 tương ứng.

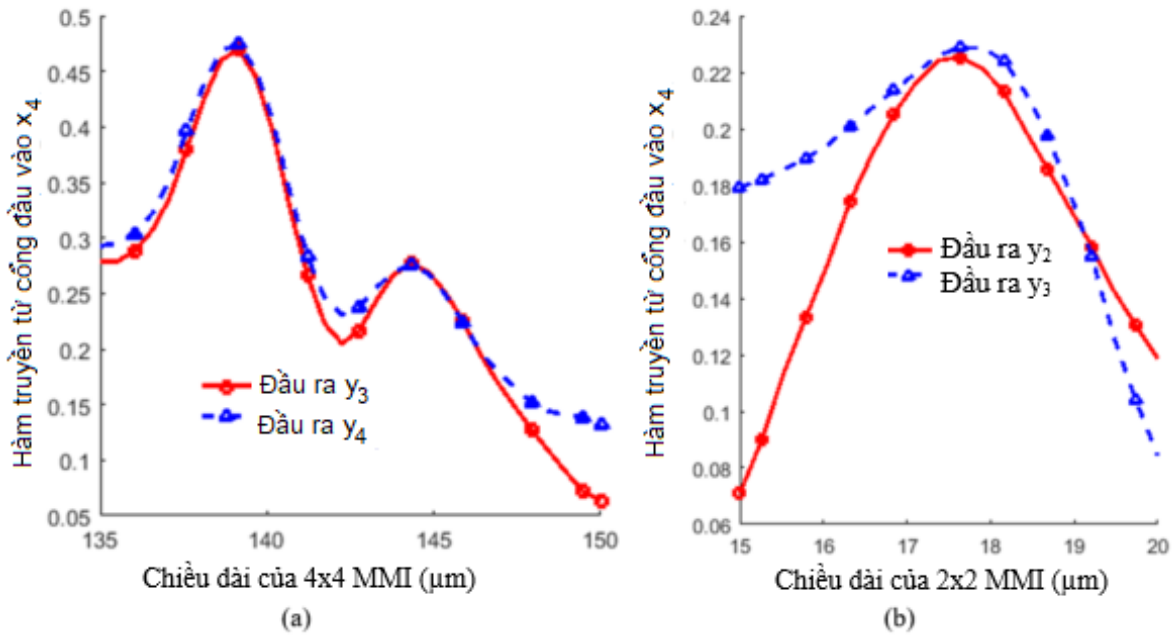


Hình 2.4. Cổng OR với tín hiệu đầu vào 00, 01, 10, 11

Hình 2.5 cho thấy các phân bố trường của cổng logic NAND cho các giá trị logic đầu vào là 00, 01, 10 và 11 tương ứng.



Hình 2.5 Cổng NAND với tín hiệu đầu vào 00, 01, 10, 11



Hình 2.6. Thiết kế tối ưu cho cấu trúc 4x4 và 2x2 MMI

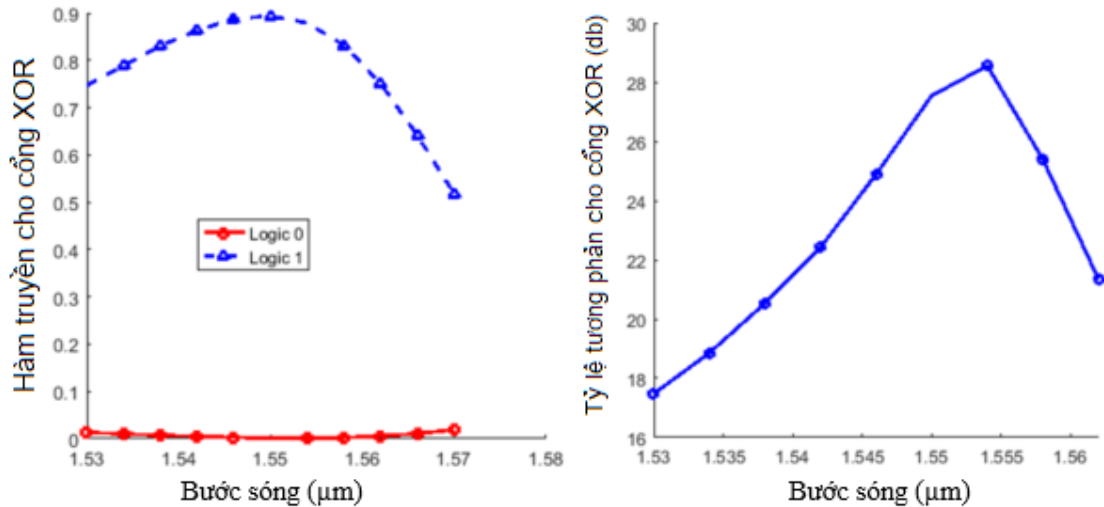
Mục tiêu của nghiên cứu này là cần thiết kế được một thiết bị nhỏ gọn, qua tính toán, chiều rộng 6 μm cho bộ ghép 4x4 MMI đã được tìm thấy. Công suất đầu ra chuẩn hóa tại các cổng đầu ra y_3 và y_4 cho một tín hiệu ở cổng đầu vào x_4 được thể hiện như ở Hình 2.6(a). Truyền tổng thể của cấu trúc bao gồm bộ ghép 4x4 MMI nối tiếp (coupler cascaded) với bộ ghép 2x2 MMI được thể hiện trong Hình 2.6(b). Chúng ta có thể thấy rằng, chiều dài tối ưu của bộ ghép 4x4 MMI và 2x2 MMI tương ứng lần lượt là 139,6 μm và 17,61 μm .

Hiệu năng của các cổng logic quang được đánh giá bằng cách sử dụng tỷ lệ tương phản (CR). Khi tỷ lệ CR càng cao thì phân biệt giữa bit 0 và 1 càng tốt, tức hoạt động của cổng logic càng tốt. Không mất tính tổng quát, đối với cổng XOR quang học, CR được biểu thị bằng:

$$CR = 10 \log_{10} \left(\frac{P_{\text{logic}1}}{P_{\text{logic}0}} \right) (\text{dB}) \quad (2.5)$$

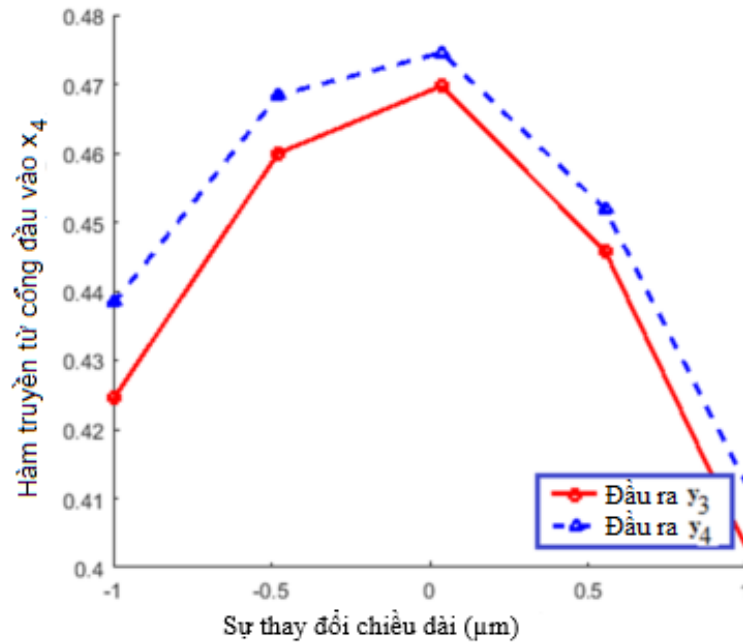
Kết quả CR cho cổng XOR được thể hiện trong Hình 2.7. Kết quả mô phỏng chỉ ra

rằng đối với băng thông 30nm từ 1530nm đến 1560nm, CR thay đổi từ 18dB đến 28dB. Tỷ số này đáp ứng tốt hoạt động của cổng logic trong mạng quang với CR trung bình khoảng 12-15dB [34].



Hình 2.7. (a) Công suất đầu ra chuẩn hóa cho logic 1 và 0 và (b) Tỷ lệ tương phản

Hình 2.8 cho thấy công suất đầu ra chuẩn hóa tại các cổng ra y_3 , y_4 khi dịch chuyển chiều dài MMI. Nghiên cứu này để tìm ra dung sai chế tạo cho phép với công nghệ CMOS. Khi dịch chuyển chiều dài MMI so với chiều dài tối ưu mà công suất ra không thay đổi nhiều thì dung sai chế tạo cho phép càng lớn, điều đó cho phép linh hoạt hơn trong chế tạo và cho phép ghép nối các cổng logic với nhau dễ dàng hơn. Kết quả mô phỏng số cho thấy rằng dung sai chế tạo là $\pm 500\text{nm}$, sự thay đổi 0,02 trong công suất đầu ra chuẩn hóa là có thể đạt được. Điều này có nghĩa là dung sai chế tạo là rất lớn so với dung sai chế tạo trung bình khi sử dụng các cấu trúc khác như cấu trúc ghép có hướng khoảng $\pm 50\text{nm}$ [131] (tức là cho phép sai số chế tạo cao, đồng thời vẫn thực hiện được chức năng xử lý tín hiệu mong muốn theo thiết kế).



Hình 2.8. Công suất đầu ra chuẩn hóa với các độ dài khác nhau của bộ ghép 4x4 MMI

2.3 Cổng logic quang dùng cấu trúc plasmonic

2.3.1 Thiết kế cổng XNOR và OR dùng cấu trúc plasmonic

Việc sử dụng cấu trúc plasmonic cho phép giảm kích thước mạch mặc dù suy hao thường lớn hơn cấu trúc SOI ở phần trước. Nguyên lý của cấu trúc plasmonic là truyền dẫn tín hiệu quang ở bề mặt giữa lớp kim loại và SiO₂.

Hình 2.9 thể hiện một cấu trúc mới để thực hiện các cổng XOR và XNOR toàn quang dựa trên các bộ ghép MMI nối tiếp dùng ống dẫn sóng plasmonic. Ống dẫn sóng plasmonic lai silic được thể hiện trong Hình 2.9 (b). Sau khi thực hiện mô phỏng tối ưu theo phương pháp được đưa ra bởi Daoxin Dai [132], để giảm suy hao tín hiệu và kích thước nhỏ gọn, độ dày các lớp được tính toán và chọn lựa như sau: $h_{Si} = 230nm$, $h_{SiO_2} = 50nm$ và $h_{Ag} = 100nm$. Độ dày thích hợp của lớp SiO₂ được chọn để làm vùng khe giữa các lớp Ag và Si nhằm cân bằng các yếu tố mất mát và giam giữ ánh sáng. Bạc (Ag) được sử dụng do hệ số chiết suất phần ảo tương đối thấp, tức suy hao thấp. Các

chiết suất của silic, SiO₂ và bạc là $n_{si} = 3,455$, $n_{SiO_2} = 1,445$ và $n_{Ag} = 0,1453 + j11,3587$ ở bước sóng hoạt động xung quanh 1550nm [133]. PMMA được chọn để bao phủ lớp phủ với chỉ số khúc xạ của nó là 1,481.

Nguyên lý hoạt động của bộ ghép MMI dựa trên nguyên lý tự tạo ảnh [90] [127].

Khi các ống dẫn sóng truy cập có độ rộng giống hệt nhau W_a tại vị trí $p_i = (i + \frac{1}{2}) \frac{W_{MMI}}{N}$, trường điện bên trong bộ ghép MMI có thể được biểu thị bằng [129]:

$$M_{4 \times 4} = \frac{1}{2} \begin{bmatrix} -1 & -\exp(j\frac{3\pi}{4}) & \exp(j\frac{3\pi}{4}) & -1 \\ \exp(j\frac{3\pi}{4}) & -1 & -1 & -\exp(j\frac{3\pi}{4}) \\ -\exp(j\frac{3\pi}{4}) & -1 & -1 & \exp(j\frac{3\pi}{4}) \\ -1 & -\exp(j\frac{3\pi}{4}) & \exp(j\frac{3\pi}{4}) & -1 \end{bmatrix} \quad (2.6)$$

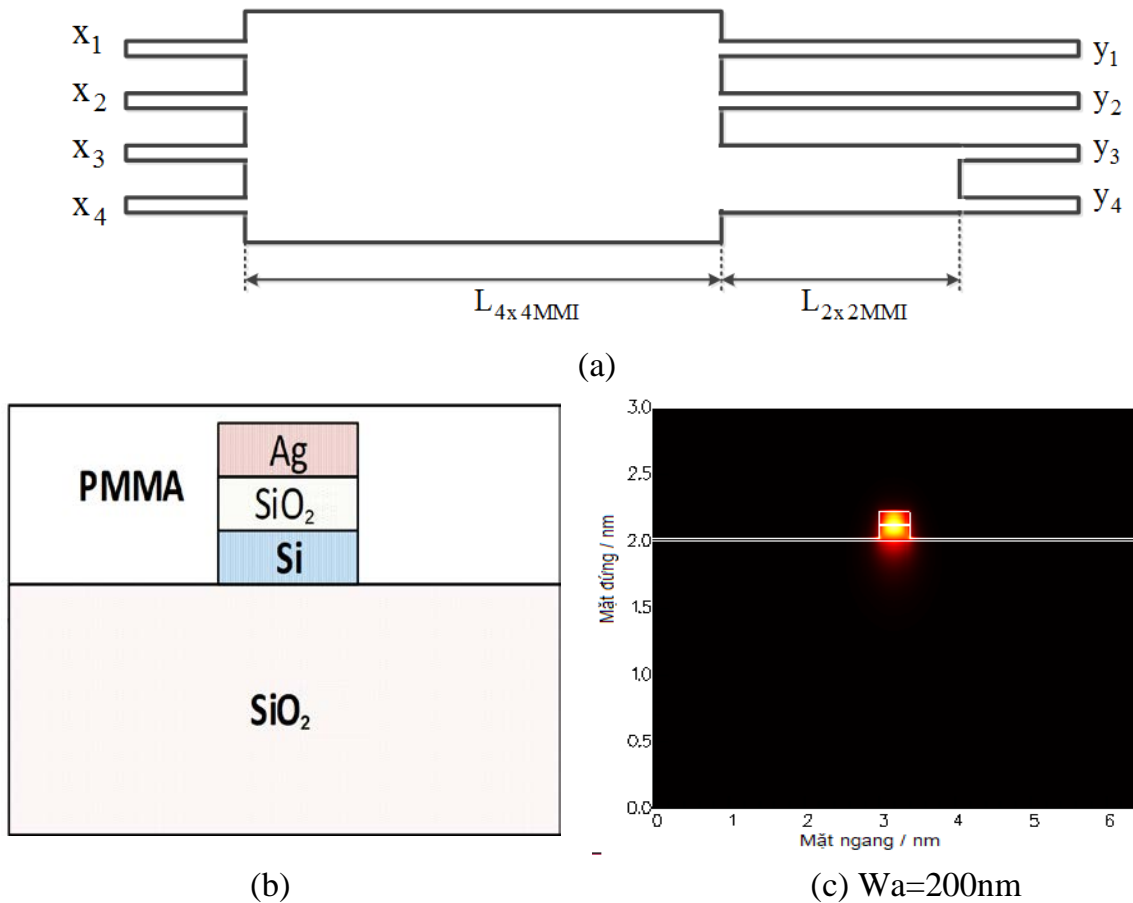
$$M_{2 \times 2} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & -j \\ -j & 1 \end{bmatrix} \quad (2.7)$$

Với $i = 1 \div N$ và N là số cổng của bộ ghép MMI. Đối với cổng logic quang học dựa trên nguyên tắc MMI, thông tin được mã hóa ở đầu vào và đầu ra theo biên độ hoặc theo pha. Trong nghiên cứu này, mã hóa pha thông tin được sử dụng cho các tín hiệu đầu vào và mã hóa biên độ được sử dụng cho các tín hiệu đầu ra, logic “1” được biểu diễn bởi $1e^{j0}$ và logic “0” được biểu diễn bởi $0e^{j0}$.

Để xác định mức logic ở đầu ra của cấu trúc, công suất trong ống dẫn sóng đầu ra cần được so sánh với giá trị ngưỡng. Điều này có thể được thực hiện điện tử bằng cách kết nối các cổng đầu ra với mạch quyết định. Một cách tiếp cận khác là sử dụng thiết bị ngưỡng quang học dựa trên bộ ghép MMI hoạt động thay vì sử dụng thiết bị ngưỡng điện tử [130]. Hình 2.9 (a) cho thấy sơ đồ được đề xuất để triển khai cổng logic

quang dựa trên cấu trúc 4x4 và 2x2 MMI. Bằng cách chọn đúng vị trí của ống dẫn sóng đầu vào và đầu ra, biên độ phức tại cổng đầu ra y_2 có thể được biểu diễn bởi:

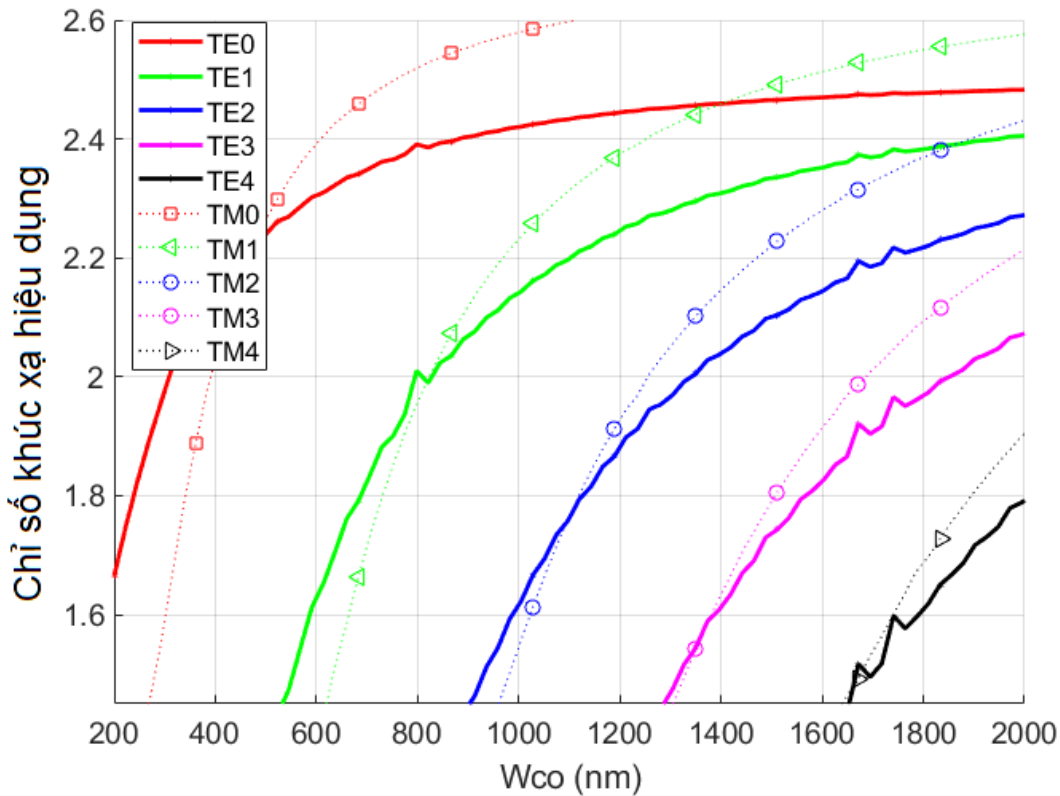
$$y_2 = 0.5(jx_1 + x_2 + jx_3 - x_4) = 0.5(jx_1 - x_4) + 0.5(x_2 + jx_3) = f(x_2, x_3) \quad (2.8)$$



Hình 2.9. (a) Sơ đồ đề xuất cho cổng logic quang học, (b) Mặt cắt ngang HPWG và (c) Tín hiệu trong ống dẫn sóng

Với x_1, x_4 là bộ dao động cục bộ và x_2, x_3 là các biến logic đầu vào và y_2 là biến logic đầu ra. Giả định rằng bước sóng và sự phân cực của tín hiệu dao động cục bộ và tín hiệu thông tin là như nhau. Chiều rộng của ống dẫn sóng HPWG đơn và đa mode được lựa chọn cẩn thận để có hình ảnh chất lượng ở đầu ra, nhưng vẫn đảm bảo suy hao đủ thấp. Do sự hiện diện của kim loại Ag trong cấu trúc ống dẫn sóng plasmonic lai, hệ số suy hao tăng khi độ dài quá dài. Các mô phỏng để tìm chiết suất

hiệu dụng cho các chế độ TE và TM được thực hiện và chỉ ra như trong Hình 2.10. Các mô phỏng cho thấy chiều rộng của 2x2 và 4x4 MMI được chọn lần lượt là 700nm và 2000nm. Ở đây chiều rộng ống dẫn sóng truy cập cho hoạt động chế độ đơn là $W_a = 200\text{nm}$.



Hình 2.10 Chỉ số khúc xạ hiệu dụng của ống dẫn sóng HPWG với các độ rộng khác nhau

Để thực hiện được cổng logic XOR, sử dụng các đầu vào dao động cục bộ $x_1 = 1e^{j\pi/2}$ và $x_4 = 1e^{j0}$ và giả định rằng một sự di pha $-\pi/2$ được sử dụng ở cổng đầu vào x_3 . Tín hiệu đầu vào được mã hóa bởi thông tin pha. Điều này có nghĩa là trên cổng đầu vào x_3 , pha $\pi/2$ tương ứng với logic 1 và $-\pi/2$ tương ứng với logic 0. Đối với cổng đầu vào x_2 , pha-0 tương ứng với logic 0 và pha- π tương ứng với logic 1. Kết quả là, bảng chân lý cho cổng XOR được hiển thị trong Bảng 2.5.

Bảng 2.5. Bảng chân lý cho cổng XOR sử dụng cấu trúc plasmonic

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($-\pi/2$)	0
0 (0)	1 ($\pi/2$)	1
1 (π)	0 ($-\pi/2$)	1
1 (π)	1 ($\pi/2$)	0

Sử dụng các đầu vào dao động cục bộ $x_1 = 1e^{j\pi/2}$ và $x_4 = 1e^{j0}$ và giả định rằng một sự di pha $\pi/2$ được sử dụng ở cổng đầu vào x_3 . Đối với cổng đầu vào x_3 , một pha $\pi/2$ tương ứng với logic 0 và $-\pi/2$ tương ứng với logic 1. Đối với cổng đầu vào x_2 , pha-0 tương ứng với logic 0 và pha- π tương ứng với logic 1. Kết quả là, bảng chân lý cho cổng XNOR được hiển thị trong Bảng 2.6.

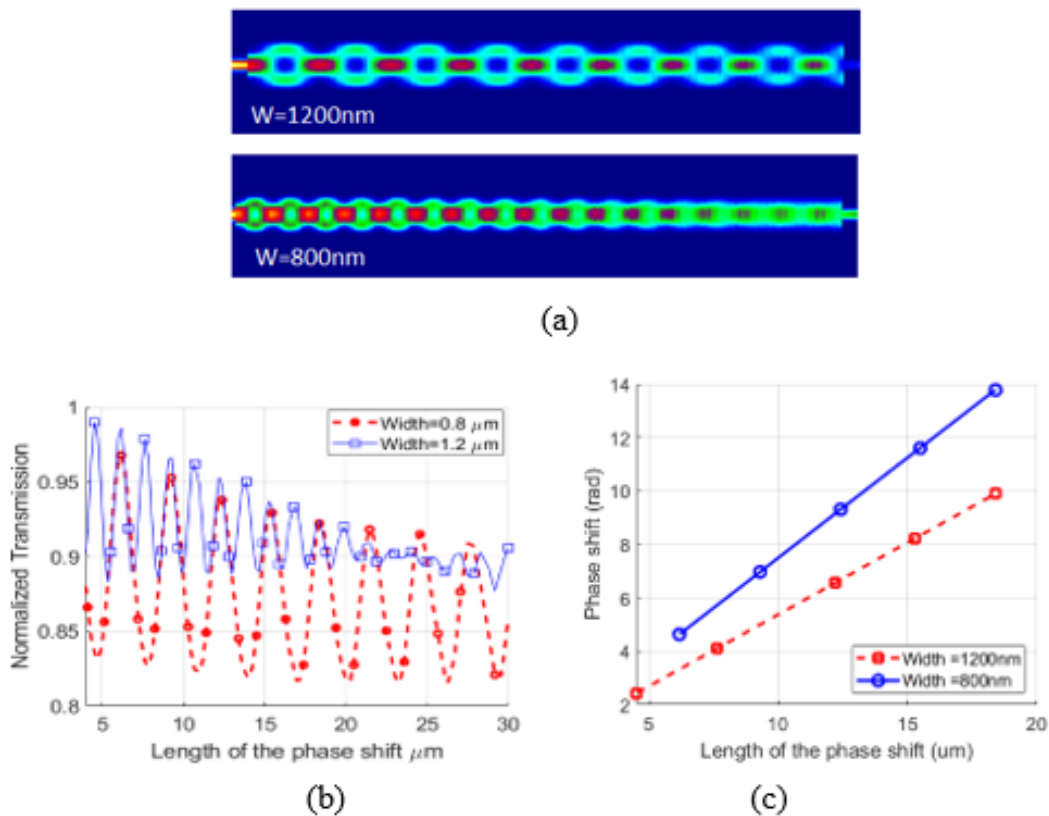
Bảng 2.6. Bảng chân lý cho cổng XNOR sử dụng cấu trúc plasmonic

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($\pi/2$)	1
0 (0)	1 ($-\pi/2$)	0
1 (π)	0 ($\pi/2$)	0
1 (π)	1 ($-\pi/2$)	1

Để đạt được độ lệch pha cần thiết tại các ống dẫn sóng đầu vào của cấu trúc MMI, một bộ ghép 1x1 MMI được sử dụng. Đối với 1x1 MMI, trường ở khoảng cách z dọc theo phần đa mode có thể được viết là [134]:

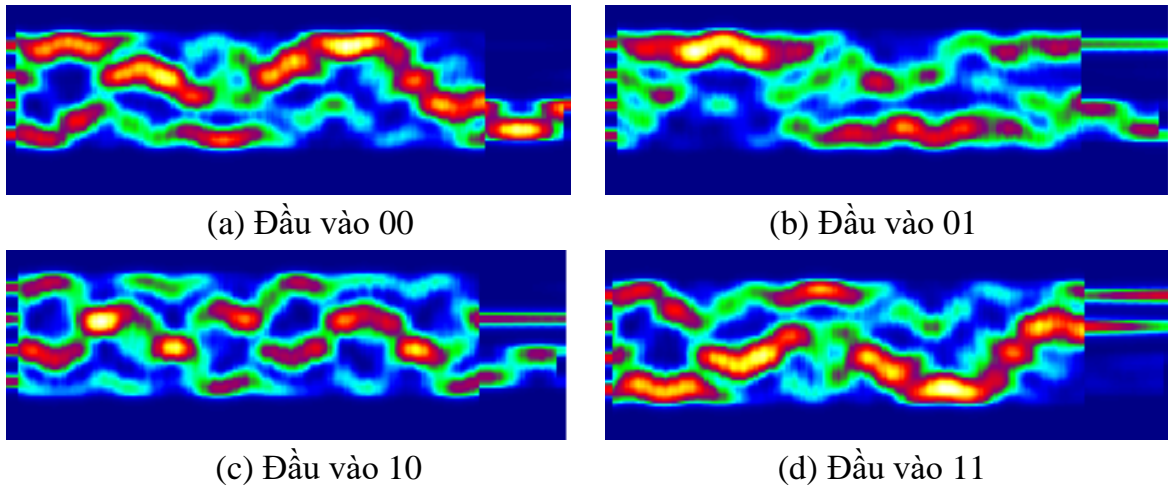
$$\psi(y, z = L_{1x1MMI}) = e^{-j\beta_0 z} \psi(y, z = 0) \quad (2.9)$$

Sự khác biệt của pha tương đối giữa hai cánh của ống dẫn sóng đa mode và ống dẫn sóng đơn là $\Delta\varphi = (\beta_{0M} - \beta_0)L_M$, với β_0 và β_{0M} là các hằng số truyền của các chế độ cơ bản của phần đơn và phần đa chế độ. Hình 2.11 cho thấy các mô phỏng của thiết kế lệch pha sử dụng bộ ghép 1x1 MMI với chiều rộng 1200nm và 800nm. Hình 2.11 (a) cho thấy sự lan truyền trường tín hiệu và các vị trí tự tạo ảnh ở các độ dài khác nhau được thể hiện trong Hình 2.11 (b). Hình 2.11 (c) cho thấy sự di pha thu được cho cả hai trường hợp.



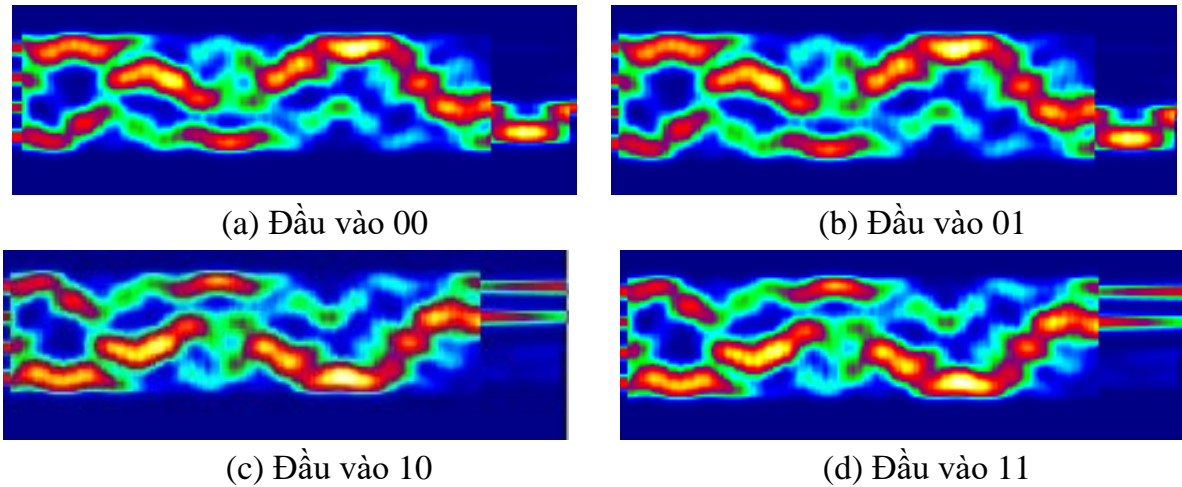
Hình 2.11. (a) Lan truyền trường tín hiệu, (b) các vị trí tự tạo ảnh ở các độ dài khác nhau và (c) sự dịch pha thu được

Thực hiện mô phỏng, sự truyền ánh sáng (light propagation) qua các cổng logic được nghiên cứu. Các phương pháp số được sử dụng cho các mô phỏng. Hình 2.12 hiển thị phân bố trường của cổng logic XOR ở bước sóng 1550nm cho các giá trị logic đầu vào lần lượt là 00, 01, 10 và 11. Các mô phỏng cho thấy có sự phù hợp tốt với phân tích lý thuyết trong Bảng 2.5.



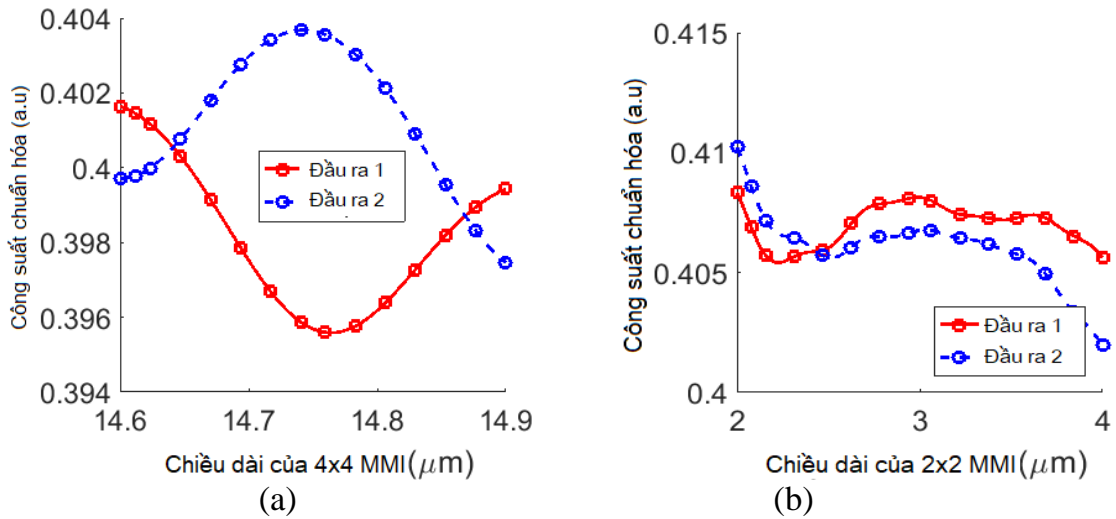
Hình 2.12. Cổng XOR với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic

Hình 2.13 cho thấy các phân bố trường của cổng logic XNOR cho các giá trị logic đầu vào lần lượt là 00, 01, 10 và 11. Các mô phỏng cho thấy có sự phù hợp tốt với các kết quả lý thuyết trong Bảng 2.6.



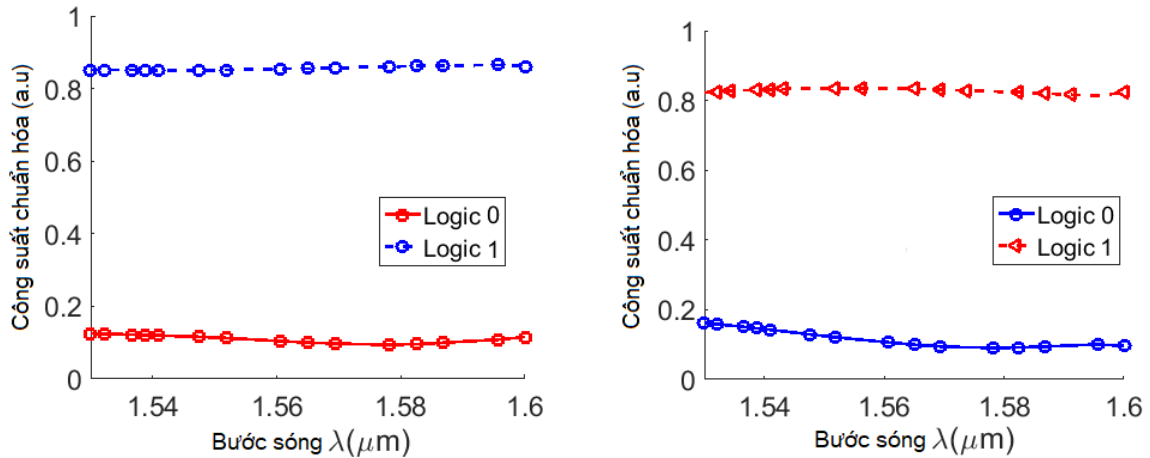
Hình 2.13. Cổng XNOR với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic

Công suất đầu ra chuẩn hóa tại các cổng đầu ra y_3 và y_4 cho một tín hiệu ở cổng đầu vào x_4 được thể hiện trong Hình 2.14 (a). Việc truyền tổng thể của cấu trúc bao gồm bộ ghép 4x4 MMI được nối tiếp với bộ ghép 2x2 MMI được thể hiện trong Hình 2.14 (b). Chúng ta có thể thấy rằng chiều dài tối ưu của 4x4 MMI là $14,75\mu\text{m}$ và chiều dài tối ưu của bộ ghép 2x2 MMI được tìm thấy là $3\mu\text{m}$.



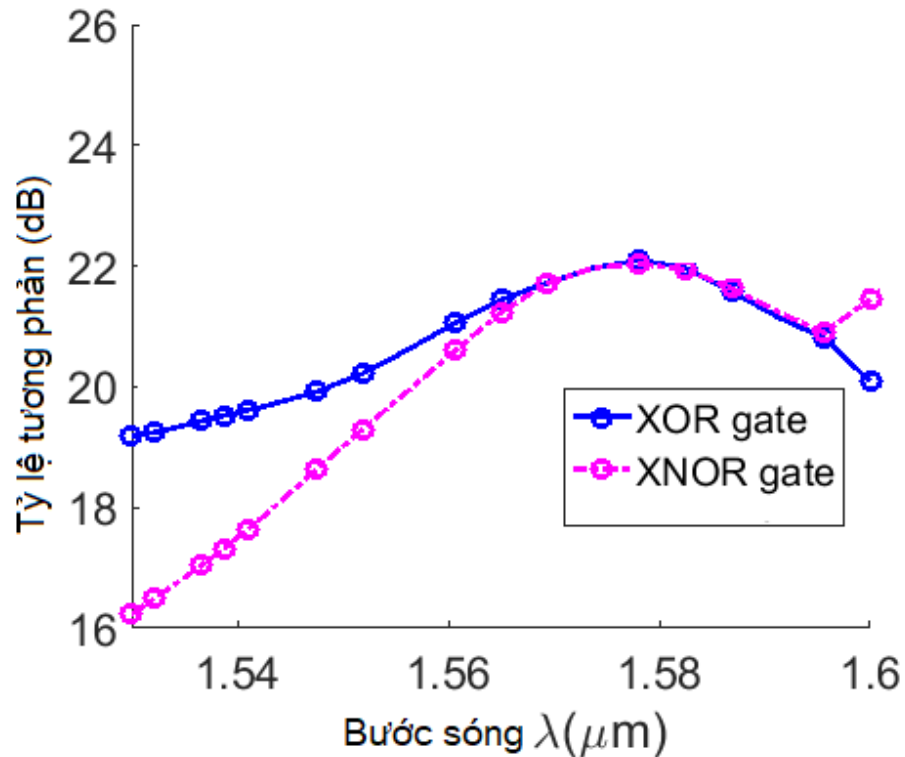
Hình 2.14 Thiết kế tối ưu cho cấu trúc 4x4 và 2x2 MMI dùng plasmonic

Hình 2.15 cho thấy công suất đầu ra chuẩn hóa của các cổng XNOR và XOR cho bit 1 và 0 tương ứng ở các bước sóng khác nhau. Chúng ta có thể thấy rằng công suất đầu ra không đổi trong một dải bước sóng lớn (khoảng 70nm).



Hình 2.15 (a) Công suất đầu ra chuẩn hóa đối với logic 1 và 0 cho (a) cổng XOR và (b) cổng XNOR dùng plasmonic

Kết quả là CR cho các cổng XOR và XNOR được hiển thị trong Hình 2.16. Kết quả cho thấy, đối với băng thông 70nm từ 1530nm đến 1600nm, CR thay đổi từ 16dB đến 22dB.



Hình 2.16 Tỷ lệ tương phản của cổng XOR và XNOR

2.3.2 Thiết kế cổng NAND dùng plasmonic

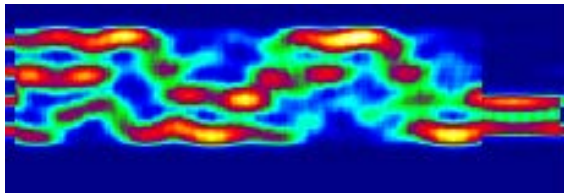
Sử dụng các đầu vào dao động cục bộ $x_1 = 1e^{j\pi/2}$ và $x_4 = 1e^{j\pi/2}$. Đối với các cổng đầu vào x_2 và x_3 , $pha=0$ tương ứng với logic 0 và $pha=\pi$ tương ứng với logic 1. Bảng chân lý cho cổng logic NAND được thể hiện ở Bảng 2.7.

Trong phần này, sự truyền ánh sáng qua các cổng logic được khảo sát. Các phương pháp số được sử dụng cho các mô phỏng. Hình 2.17 cho thấy sự phân bố trường của cổng logic XOR ở bước sóng 1550nm cho các giá trị logic đầu vào lần lượt

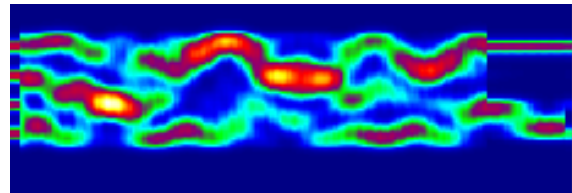
là 00, 01, 10 và 11. Các mô phỏng cho thấy có sự thống nhất tốt với phân tích lý thuyết được đưa ra bởi Bảng 2.7.

Bảng 2.7. Bảng chân lý của cổng logic NAND sử dụng cấu trúc plasmonic

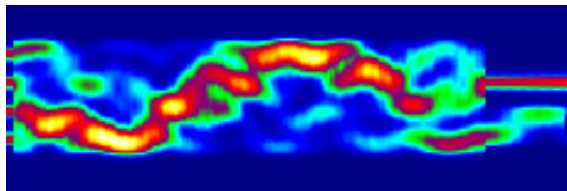
Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 (0)	1
0 (0)	1 (π)	1
1 (π)	0 (0)	1
1 (π)	1 (π)	0



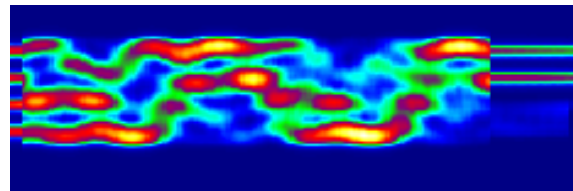
(a) Đầu vào 00



(b) Đầu vào 01



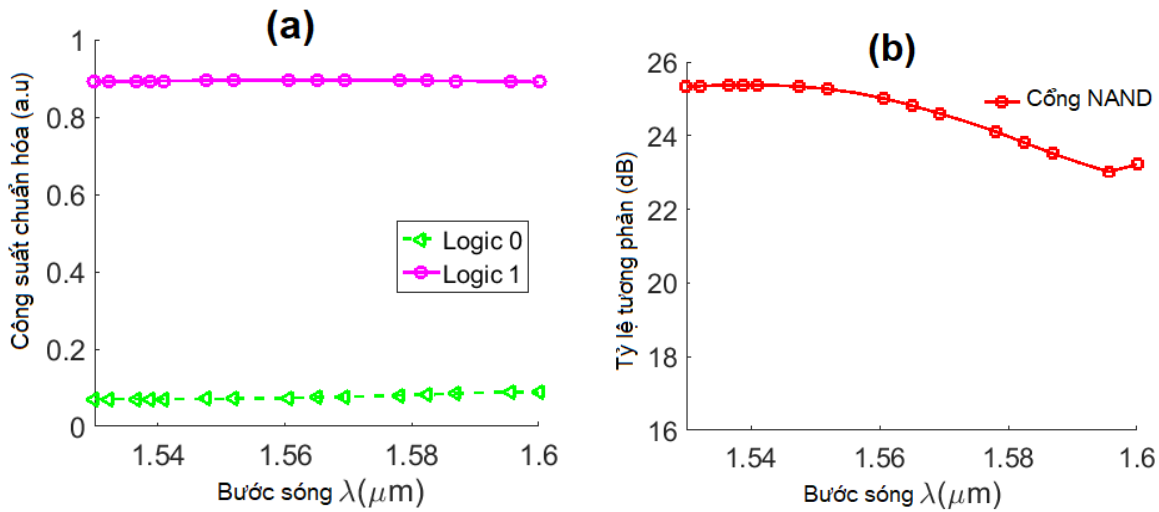
(c) Đầu vào 10



(d) Đầu vào 11

Hình 2.17. Cổng NAND với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic

Hình 2.18 cho thấy công suất đầu ra chuẩn hóa của cổng NAND cho bit 1 và 0 tương ứng ở các bước sóng khác nhau. Chúng ta có thể thấy rằng công suất đầu ra không đổi trong một phạm vi bước sóng lớn (khoảng 70nm).



Hình 2.18. (a) Công suất đầu ra chuẩn hóa cho mức logic 1 và 0 và (b) tỷ lệ tương phản của cổng NAND

Kết quả CR cho các cổng NAND được chỉ ra rằng đối với băng thông 70nm từ 1530nm đến 1600nm, CR thay đổi từ 13dB đến 25,8dB.

2.4 Kết luận Chương 2

Trong chương này, nghiên cứu sinh đã trình bày một cấu trúc để triển khai các cổng logic XOR, OR, XNOR và NAND toàn quang, một cấu trúc để triển khai các cổng logic XOR, XNOR toàn quang dựa trên ống dẫn sóng plasmonic lai silic, một cấu trúc để triển khai cổng logic NAND toàn quang dựa trên ống dẫn sóng plasmonic lai silic. Các cấu trúc đề xuất chỉ dựa trên một 4x4 MMI nối tiếp với một bộ ghép 2x2 MMI và chúng có ưu điểm là dễ chế tạo, dung sai chế tạo lớn, tỷ lệ tương phản khá lớn và băng thông cao. Các cấu trúc mới này có thể hữu ích cho việc hoán đổi và nhận dạng nhãn quang trong mạng chuyển mạch gói quang hoặc các ứng dụng xử lý tín hiệu trên chip. Các nghiên cứu tại Chương 2 được công bố trong các công trình CT1, CT2 và CT3. Mặc dù ưu điểm của phương pháp đề xuất là nhỏ gọn, dung sai chế tạo lớn, có thể tích hợp trên một vi mạch phù hợp với thiết kế các node trong mạng truyền dẫn quang, có tỷ lệ phân biệt bit 0 và 1 lớn, suy hao thấp và không cần dùng hiệu ứng phi tuyến yêu cầu công suất cao, nhưng nhược điểm của phương pháp này là có các cổng ra dư thừa không sử dụng nên phải dùng bộ hấp thụ quang ở các cổng ra này. Đồng

thời do sử dụng hiệu ứng giao thoa đa mode để tạo chức năng logic nên cần dùng các bộ dao động nội để tạo tín hiệu quang có pha và biên độ phù hợp với tín hiệu đầu vào. Việc này có thể được giải quyết bằng cách tạo các bộ phát laser lược (comb) để tạo ra nhiều tín hiệu vào [135].

Chương 3

Phân tích, thiết cấu kiến trúc làm nhanh, chậm ánh sáng và ứng dụng cho trễ/ đệm quang

Chương 3 trình bày kỹ thuật thiết kế bộ trễ, bộ giam giữ và làm trễ tín hiệu trong miền quang (giam giữ ánh sáng) sử dụng các cấu trúc giao thoa đa mode MMI và vi cộng hưởng phối hợp với cấu trúc phản hồi Sagnac. Các cấu trúc này được ứng dụng cho thiết kế các bộ đệm và bộ nhớ quang.

3.1 Bộ đệm quang dùng vi cộng hưởng

Hiện nay trong các hệ thống thông tin tốc độ cao, kết nối giữa các bộ vi xử lý trên cùng chip hoặc kết nối giữa các bộ vi xử lý với nhau trong các trung tâm dữ liệu, người ta sử dụng các bộ trễ, bộ nhớ, bộ điều chế, bộ lọc. Bộ vi cộng hưởng được xem là cấu trúc cốt lõi nhất để thiết kế các hệ thống với chức năng như vậy [136] [137]. Các bộ vi cộng hưởng có thể được kết nối theo cách nối tiếp, song song hoặc lai ghép để thực hiện các chức năng trong mạng kết nối quang [138] [139] [140] [141].

Việc phân tích trễ nhóm và đặc tính truyền dẫn của các cấu trúc vi cộng hưởng làm bộ lọc và bù tán sắc đã được nghiên cứu trước đây [142] [143] [144]. Trong chương này, nghiên cứu sinh trình bày kết quả nghiên cứu về cấu trúc vi cộng hưởng ghép nối tiếp với nhau kết nối bộ phản xạ Sagnac để thực hiện chức năng làm nhanh và làm chậm ánh sáng. Kết quả này làm tiền đề để thực hiện bộ nhớ quang trong các hệ thống máy tính quang trong tương lai. Các kết quả nghiên cứu gần đây và ưu nhược điểm của các kỹ thuật làm nhanh và làm chậm ánh sáng đã được trình bày ở Phần mở đầu của luận án. Trong chương này, luận án trình bày nguyên lý, cấu trúc và thiết kế cấu trúc mới để làm nhanh và chậm ánh sáng.

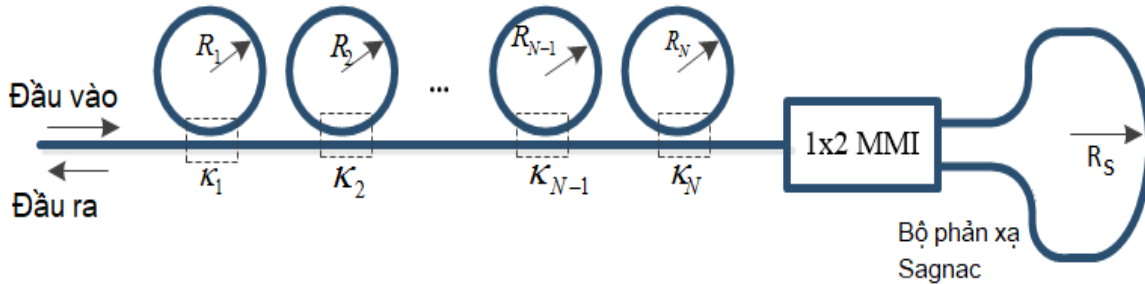
Cấu trúc đề xuất có ưu điểm gọn, có thể tăng gấp đôi thời gian trễ trên cùng một cấu trúc mà hầu như không làm tăng kích thước mạch bằng cách sử dụng một cấu trúc

Sagnac nhỏ gọn. Các bộ trễ này được sử dụng trong các node mạng trên chip và xử lý dữ liệu quang tại node mạng trên board mạch ở Hình 1.

Nguyên lý cơ bản của thực hiện bộ làm nhanh và làm chậm ánh sáng (fast and slow light) trong nghiên cứu dựa vào kỹ thuật điều khiển trễ nhóm âm và dương khi tín hiệu đi qua bộ vi cộng hưởng. Từ đó, vận tốc ánh sáng có thể điều khiển được qua cấu trúc. Ở đây nghiên cứu sinh sử dụng bộ phản xạ Sagnac để tăng cường thời gian làm nhanh và làm chậm, do vậy thời gian nhớ ánh sáng có thể lâu hơn so với các bộ làm nhanh và làm chậm trước đây.

3.1.1 Cấu trúc

Cấu trúc của bộ làm nhanh và làm chậm ánh sáng được chỉ ra ở Hình 3.1. Cấu trúc gồm N bộ vi cộng hưởng ghép nối tiếp nhau, cuối cùng kết nối với một bộ phản xạ Sagnac. Toàn bộ cấu trúc được thiết kế sử dụng ống dẫn sóng silic, do đó tương thích với công nghệ chế tạo vi mạch CMOS hiện nay.



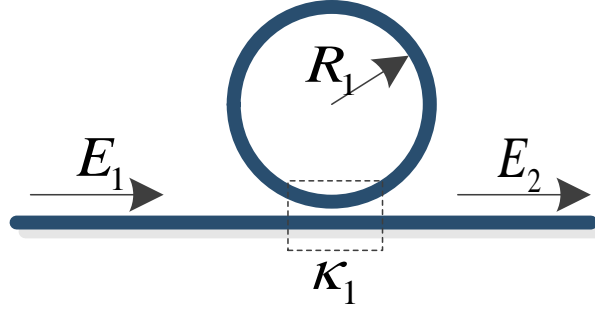
Hình 3.1 Bộ cộng hưởng vi mạch ghép nối tiếp với bộ phản xạ vòng Sagnac

Cấu trúc của bộ vi cộng hưởng chỉ ra ở Hình 3.2, trong đó biên độ tín hiệu ra và vào có quan hệ [114]:

$$H_1 = \frac{E_2}{E_1} = \frac{\tau_1 - \alpha_1 \exp(j\theta_1)}{1 - \alpha_1 \tau_1 \exp(j\theta_1)} \quad (3.1)$$

Ở đây E_1, E_2 là biên độ tín hiệu đầu vào và đầu ra; τ_1 và $\kappa_1 = \sqrt{1 - |\tau_1|^2}$ là các hệ số ghép truyền dẫn và ghép chéo của bộ ghép; α_1 là hệ số suy hao trong ống dẫn

sóng phản hồi; $\theta_1 = \frac{2\pi}{\lambda} N_{eff} L_{R1}$ là di pha. Hệ số N_{eff} là chỉ số chiết suất hiệu dụng, λ là bước sóng và $L_{R1} = 2\pi R_1$ là chu vi của ống dẫn sóng tròn.



Hình 3.2 Bộ vi cộng hưởng đơn

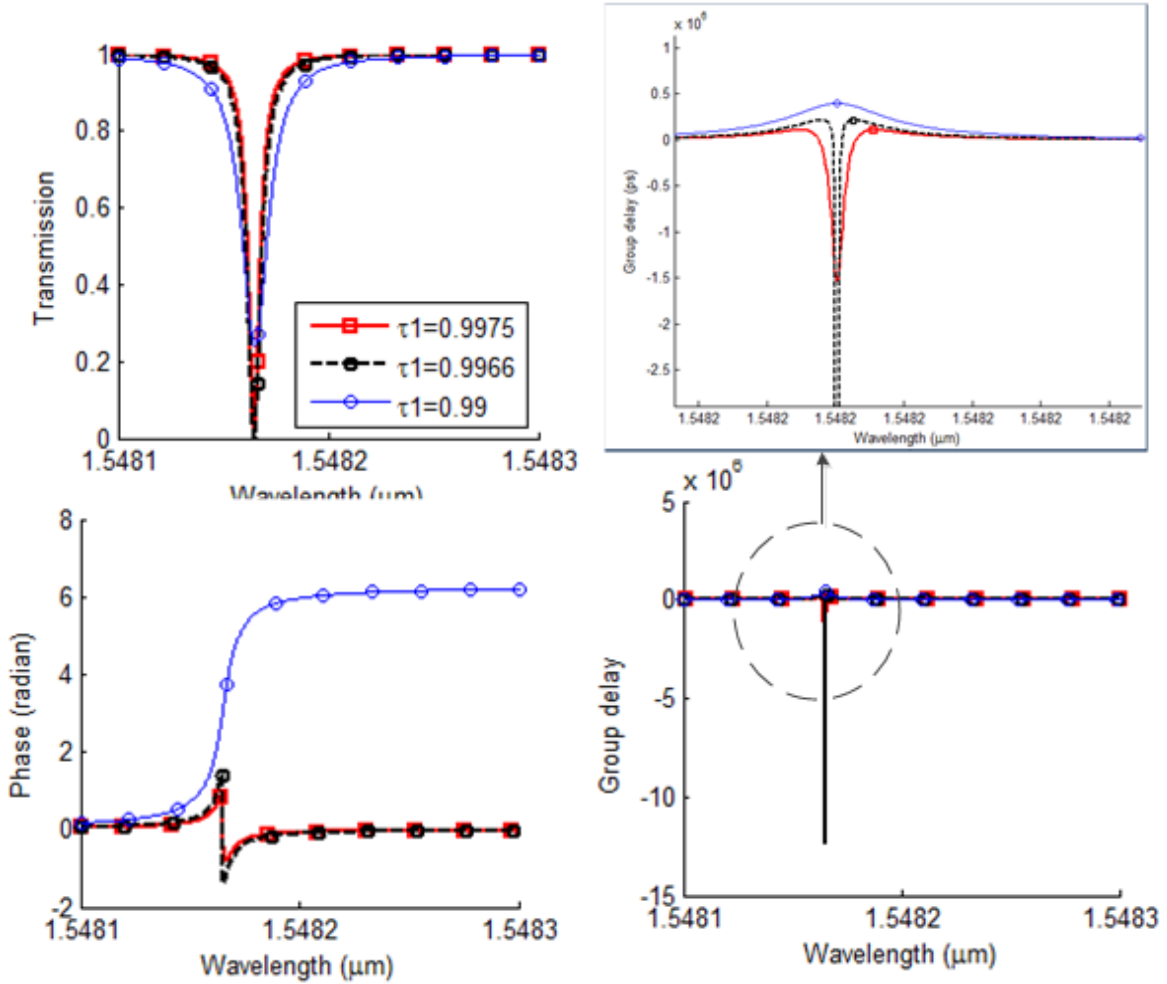
Từ đó ta tính được di pha hiệu dụng (effective phase shift) của bộ vi cộng hưởng như sau:

$$\Phi_{\text{single}} = \arg \left\{ \frac{E_2}{E_1} \right\} = \text{artan} \left\{ \frac{\alpha_1 \kappa^2 \sin(\omega)}{(1 + \alpha_1^2) \tau - (1 + \tau^2) \alpha_1 \cos(\omega)} \right\} \quad (3.2)$$

Độ trễ nhóm chuẩn hóa được định nghĩa là $\tau_n = -\frac{d\phi_{\text{single}}}{d\omega}$. Độ trễ nhóm tuyệt đối của bộ vi cộng hưởng là $\tau_d = T\tau_n$, trong đó T là đơn vị trễ tín hiệu. Cộng hưởng xảy ra tại giá trị pha $\theta_1 = 2m\pi$, trong đó m là số nguyên. Tại cộng hưởng, nếu $\tau_1 > \alpha_1$ thì dẫn đến hiện tượng làm nhanh ánh sáng và nếu $\tau_1 < \alpha_1$, thì dẫn đến làm chậm xung ánh sáng. Hiện tượng ghép tới hạn xảy ra khi $\tau_1 = \alpha_1$.

Hàm truyền, pha và trễ nhóm của bộ vi cộng hưởng với các hệ số truyền dẫn khác nhau $\tau_1 = 0,9975$; $\tau_1 = 0,9966$; $\tau_1 = 0,99$ được minh họa ở Hình 3.3. Các tham số mô phỏng như sau: Hệ số suy hao $\alpha_1 = 1 \text{ dB/cm}$, chiều dài ống dẫn sóng $L_{R1} = 300 \mu\text{m}$. Mô phỏng chỉ ra rằng trễ nhóm dương và âm đạt được bằng cách thay đổi hệ số ghép của bộ ghép. Cấu trúc ống dẫn sóng có chiều cao 220nm và chiều rộng 400nm được sử

dụng để hoạt động trong miền đơn mode [145]. Sử dụng mô phỏng số, chiết suất hiệu dụng tương ứng là $N_{eff} = 2,25$.



Hình 3.3 Hàm truyền, pha và trễ nhóm của bộ vi cộng hưởng với các hệ số truyền dẫn khác nhau

Tiếp theo, kích thích một xung vào bộ ghép, giả sử xung ánh sáng có dạng Gauss, được mô tả bằng biểu thức [146]:

$$E(t) = \exp(-(t/T_{HW})^2) \exp(j2\pi ct/\lambda_0) \quad (3.3)$$

trong đó, λ_0 là bước sóng cộng hưởng, $T_{HW} = T_b/2$ là độ rộng nửa bit tại cường độ $1/e^2$ và T_b là độ rộng bit. Từ mô phỏng Hình 3.3, ta thấy bước sóng cộng hưởng là

$\lambda_0 = 1,54817 \mu\text{m}$. Tín hiệu xung đầu vào và ra tương ứng với $\tau_1 = 0,9975$; $\tau_1 = 0,9966$; $\tau_1 = 0,99$ được chỉ ra ở Hình 3.4, khi xung đầu vào có độ rộng $T_p = 50 \text{ps}$ [147]. Các kết quả mô phỏng chỉ ra rằng độ trễ xung khoảng 20ps có thể đạt được khi $\tau_1 = 0,99$ và khi $\tau_1 = 0,9975$ thì ánh sáng được làm nhanh khoảng 12ps.

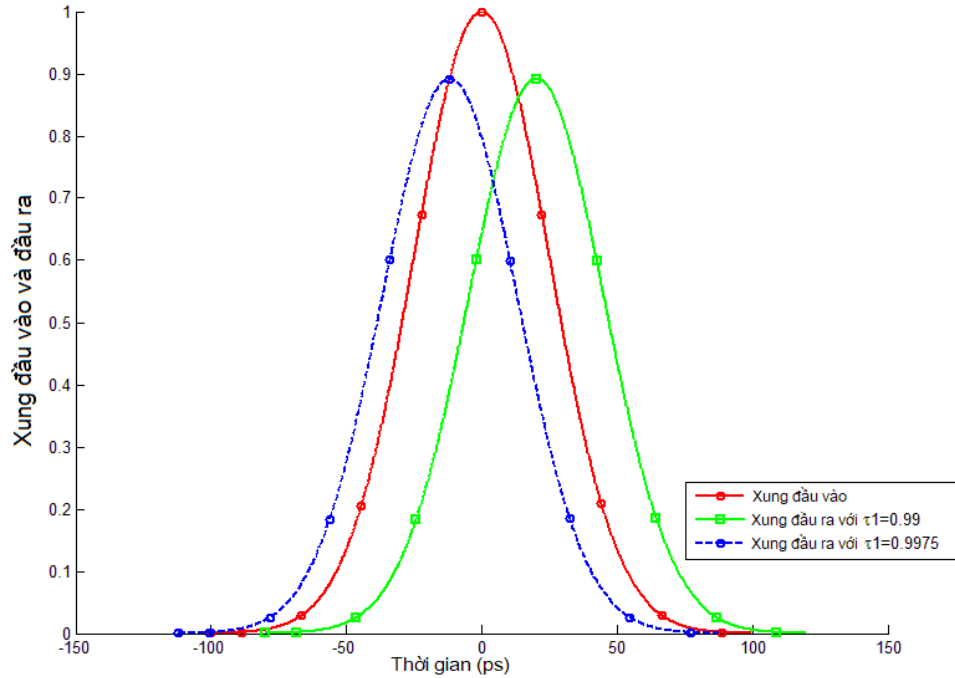
3.1.2 Cấu trúc vi cộng hưởng ghép nối tiếp

Cấu trúc vi cộng hưởng ghép nối tiếp để làm nhanh và chậm ánh sáng đầu tiên được đề xuất bởi các nhà khoa học Hoa kỳ Heebner và Boyd sử dụng sợi quang [148]. Kết quả chỉ ra rằng, cấu trúc SCISSOR đã có thể tạo ra kỹ thuật làm nhanh và chậm ánh sáng. Tuy nhiên, trong nghiên cứu này, cấu trúc SCISSOR kết hợp với bộ phản xạ Sagnac được sử dụng để tăng cường gấp đôi thời gian trễ và thời gian làm nhanh so với cấu trúc đã đề xuất. Hiện nay như đã phân tích ở phần trước, có nhiều kỹ thuật khác nhau để tạo ra trễ và bộ nhớ trong miền quang như dùng cấu trúc tinh thể lỗ khí, cách tử Bragg,... Tuy nhiên các cấu trúc này yêu cầu chế tạo có độ chính xác cao và thiết kế phức tạp. Các nghiên cứu chủ yếu sử dụng sợi quang, các cấu trúc cách tử và tinh thể lỗ khí. Nhược điểm của các cấu trúc này như đã trình bày ở Phần mở đầu là kích thước lớn, khó chế tạo, khó tích hợp. Luận án đề xuất một cấu trúc mới với mục tiêu tăng được thời gian trễ mà kỹ thuật thiết kế và cấu trúc đơn giản hơn. Cấu trúc gồm N bộ vi cộng hưởng giống nhau được thiết kế. Cấu trúc này cho phép tạo ra thời gian trễ và đệm mong muốn phụ thuộc vào N với suy hao thấp và kích thước nhỏ nhờ ưu điểm của MRR. Kết quả là hàm truyền của cấu trúc SCISSOR là:

$$H_{SCISSOR} = H_1 H_2 \dots H_N = \left(\frac{E_2}{E_1} \right)^N = \left[\frac{\tau - \alpha \exp(j\theta)}{1 - \alpha \tau \exp(j\theta)} \right]^N \quad (3.4)$$

trong đó, $\tau = \tau_1$ và $\alpha = \alpha_1$ là suy hao và pha $\theta = \frac{2\pi}{\lambda} N_{eff} L_R$.

Hàm truyền, pha và trễ nhóm của bộ vi cộng hưởng ghép nối với số bộ vi cộng hưởng 1, 2, 3 tương ứng được minh họa ở Hình 3.5. Các hệ số bộ ghép tương ứng là $\tau_1 = 0,99$ và $0,9975$. Kết quả mô phỏng cho thấy việc làm nhanh và làm chậm ánh sáng được cải thiện N lần so với chỉ dùng một bộ vi cộng hưởng.



Hình 3.4 Xung đầu vào và đầu ra tại bộ cộng hưởng vi mạch đơn

3.1.3 Cấu trúc nhiều bộ vi cộng hưởng sử dụng bộ Sagnac

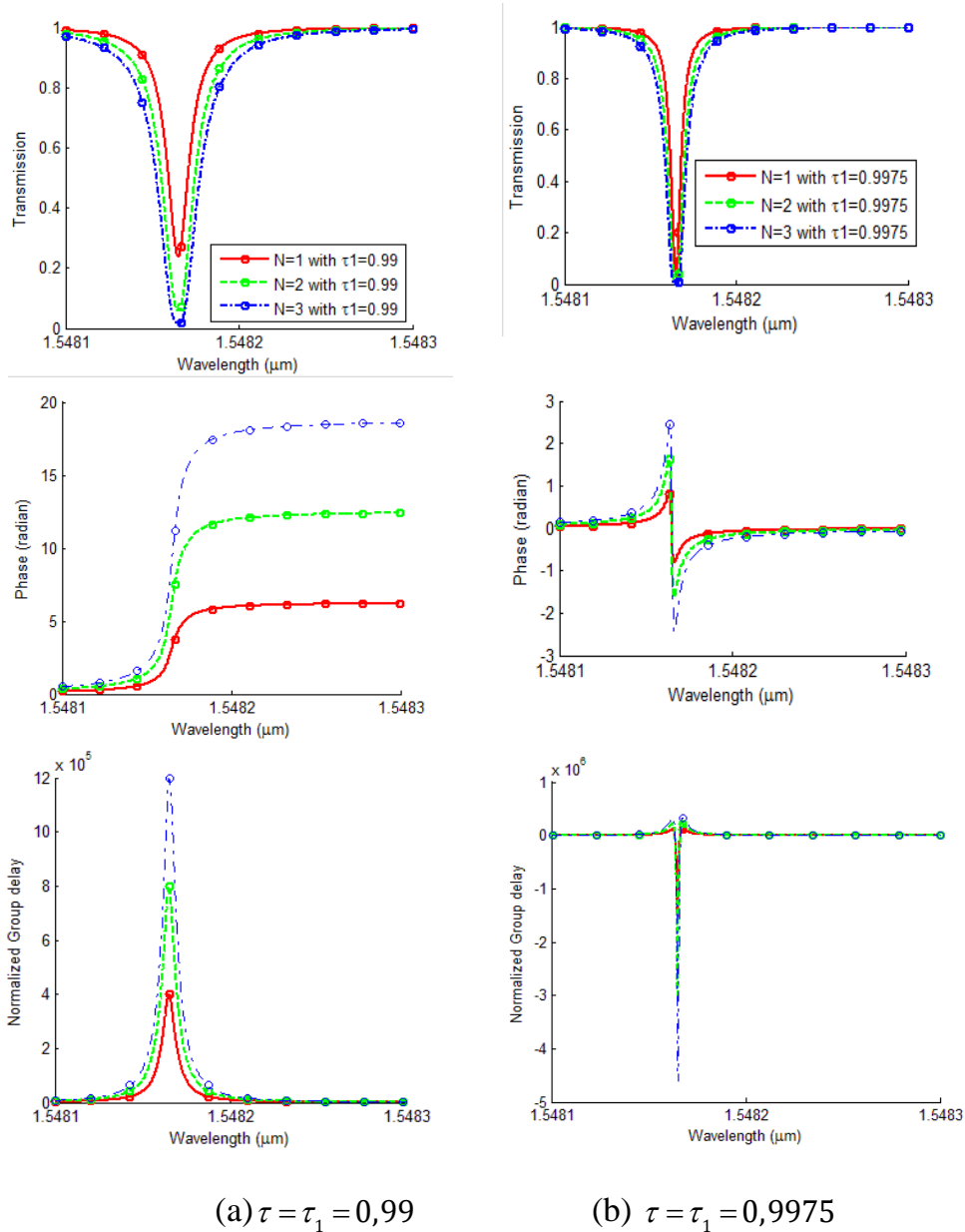
Trong nghiên cứu này, nghiên cứu sinh sử dụng thêm bộ ghép 1x2 và cấu trúc Sagnac như ở Hình 3.1. Kết quả tính toán cho thấy hàm truyền của hệ thống là:

$$H = (2j\alpha_s \kappa_s \tau_s) \left\{ \frac{\tau - \alpha \exp(j\theta)}{1 - \alpha \tau \exp(j\theta)} \right\}^{2N} \quad (3.5)$$

trong đó τ_s và $\kappa_s = \sqrt{1 - |\tau_s|^2}$ là các hệ số truyền dẫn và hệ số ghép của các bộ ghép, α_s là hệ số suy hao của bộ phản xạ Sagnac.

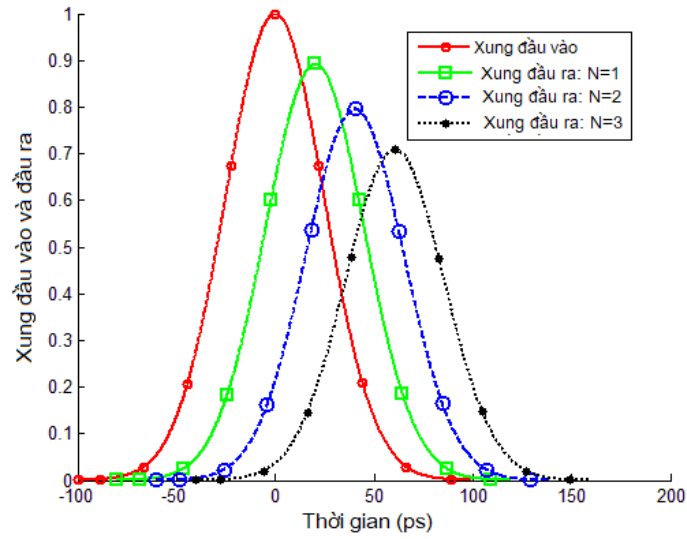
Hình 3.6 cũng chỉ ra hàm truyền, pha và trễ nhóm, xung vào và xung ra khi truyền qua hệ thống có sử dụng bộ phản xạ Sagnac và không sử dụng bộ phản xạ Sagnac. Mô phỏng lấy ví dụ với $N=1$ và 2. Khi sử dụng bộ Sagnac, các trễ xung 43ps và 83ps với $N=1$ và 2 tương ứng so với trễ xung 20ps và 40ps.

Hình 3.7 và 3.8 chỉ ra đặc tính truyền dẫn và xung đầu ra khi xung truyền qua cấu trúc có và không có sử dụng bộ Sagnac với các hệ số truyền dẫn của bộ ghép khác nhau. Kết quả chỉ ra việc làm nhanh xung đạt 25ps và 50ps so với khi không sử dụng bộ Sagnac là 12 và 24ps tương ứng.

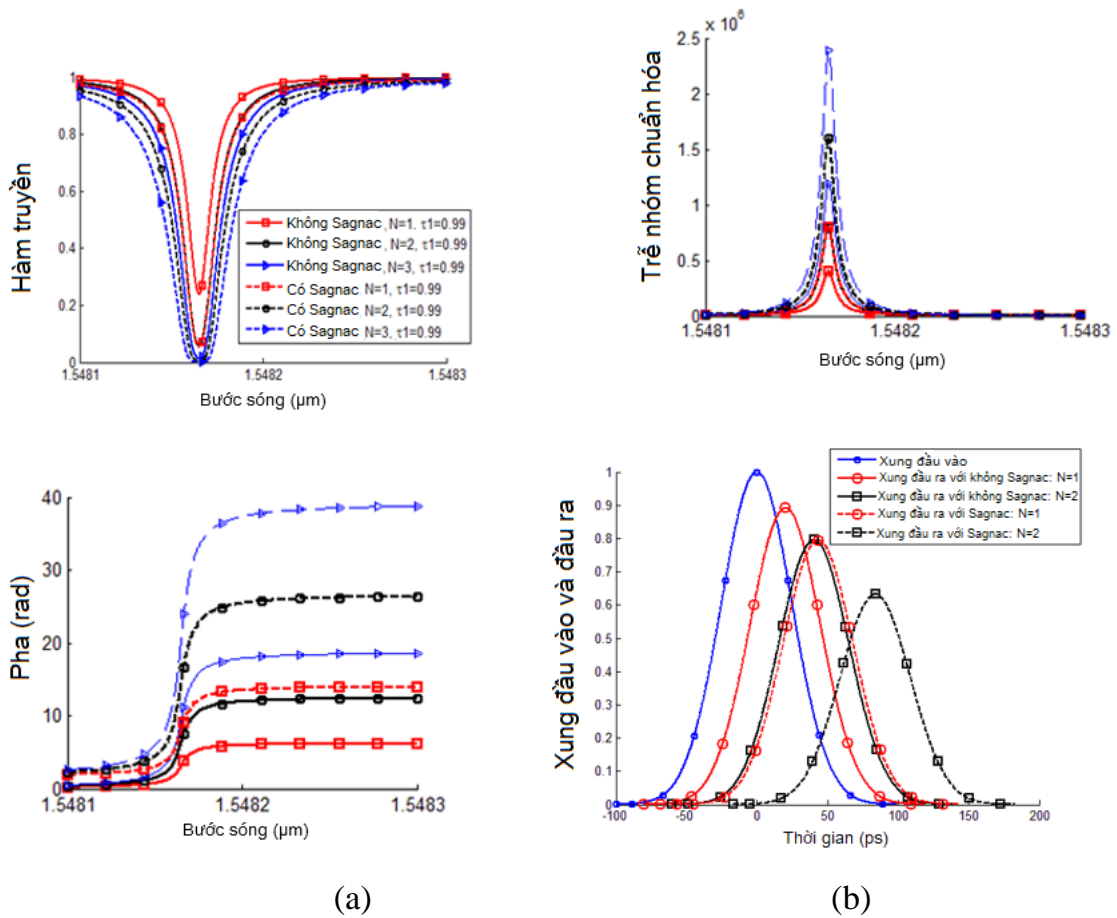


Hình 3.5 Đặc tính truyền dẫn của bộ vi cộng hưởng ghép nối tiếp (a) $\tau = \tau_1 = 0,99$ và (b)

$$\tau = \tau_1 = 0,9975$$



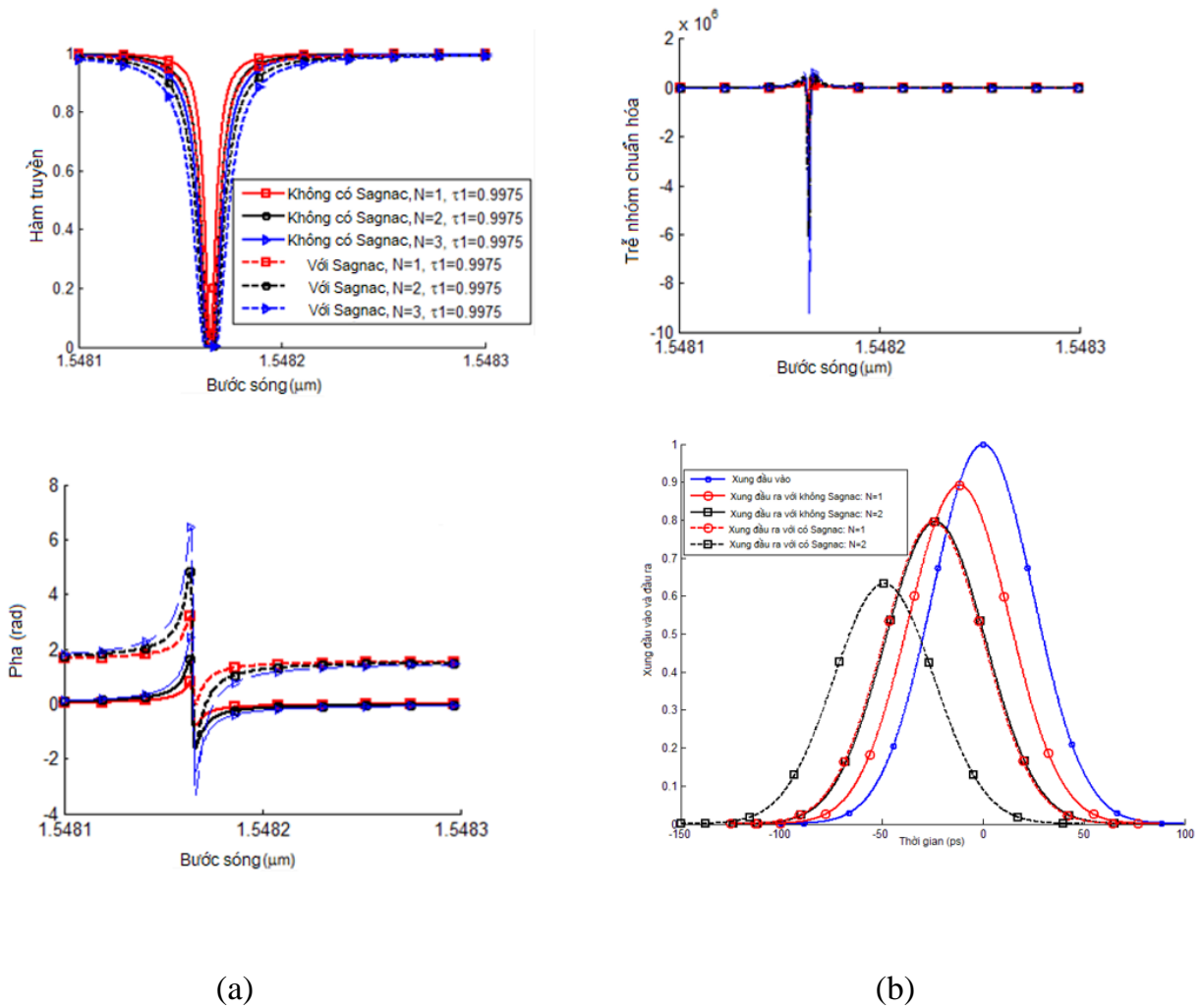
Hình 3.6 Xung đầu vào và đầu ra tại cấu trúc bộ vi cộng hưởng ghép nối tiếp



(a)

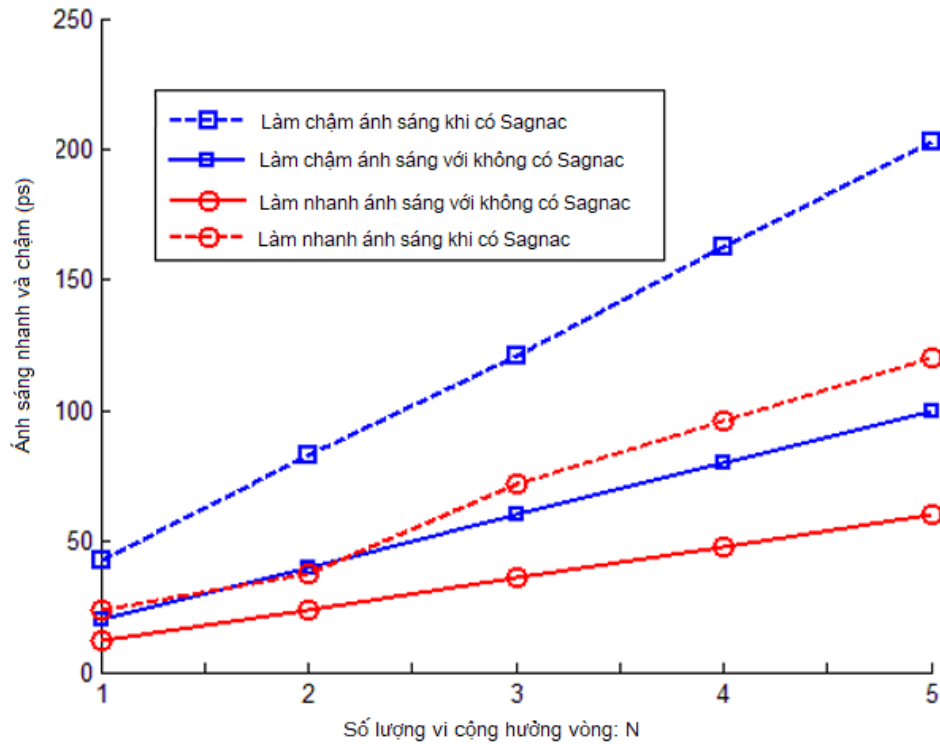
(b)

Hình 3.7 Đặc tính truyền dẫn của bộ vi cộng hưởng ghép nối tiếp (a) $\tau = \tau_1 = 0,99$ và (b) xung đầu ra

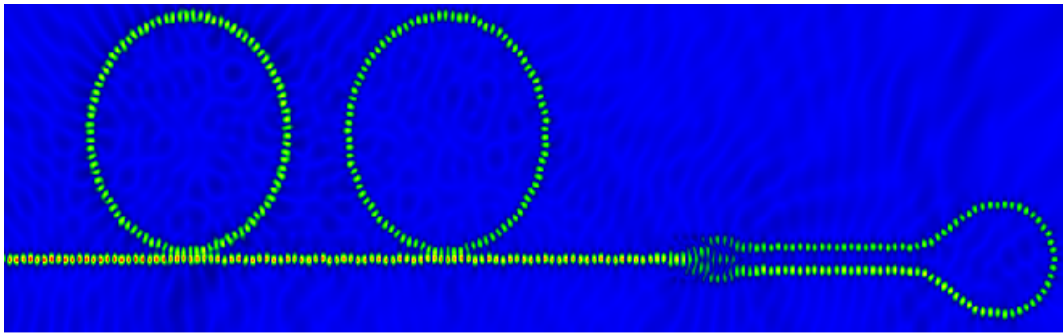


Hình 3.8 Đặc tính truyền dẫn của bộ vi cộng hưởng ghép nối tiếp (a) $\tau = \tau_1 = 0,9975$ và (b) xung đầu ra

Bằng cách điều khiển hệ số ghép của bộ ghép [131], việc làm nhanh và chậm ánh sáng có thể đạt được, làm nhanh và chậm ánh sáng được tăng cường gấp 2 lần so với trước đây nhờ sử dụng cấu trúc Sagnac. Kết quả lý thuyết phân tích dùng mô hình toán học sau đó được đánh giá và so sánh dùng thuật toán mô phỏng số FDTD. Hình 3.9 chỉ ra thời gian trễ và làm nhanh của xung tương ứng với số bộ vi cộng hưởng N từ 1 đến 5 tương ứng. Kết quả so sánh của FDTD và phân tích lý thuyết được chỉ ra ở Hình 3.10 là tương đồng.



Hình 3.9 Thời gian trễ và làm nhanh khi có và không có bộ phản xạ Sagnac



Hình 3.10 Mô phỏng FDTD của cấu trúc được đề xuất với hai bộ cộng hưởng vòng

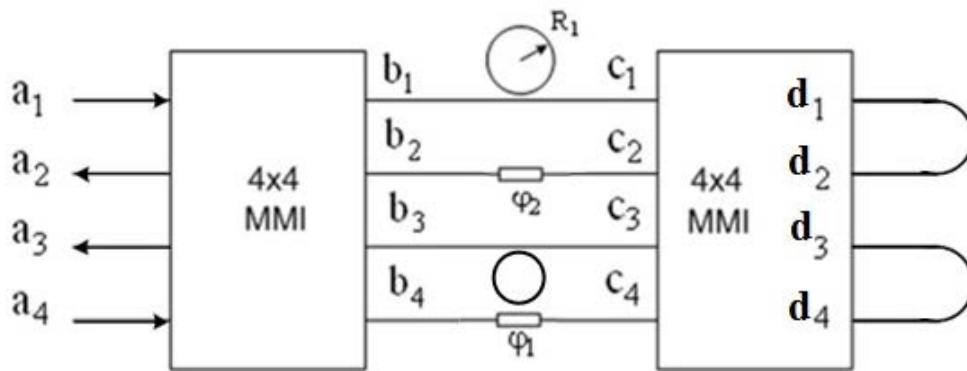
3.2 Bộ đệm quang dùng vi cộng hưởng 4x4 MMI

3.2.1 Cấu trúc và nguyên lý hoạt động

Sơ đồ cấu trúc được thể hiện trong Hình 3.11 Cấu trúc đề xuất bao gồm một bộ ghép 4x4 MMI được kết nối với một bộ ghép MMI 4x4 thứ hai thông qua bốn cánh,

với a_i, b_i, c_i, d_i ($i=1,\dots,4$) là các biên độ phức (complex amplitudes) tại các ống dẫn sóng đầu vào và đầu ra. Hai bộ vi cộng hưởng vòng được đưa vào hai cánh trên và bộ di pha φ_1, φ_2 ở các cánh còn lại.

Ở đây, bằng cách đưa hai bộ di pha vào hai cánh, chúng ta có thể đạt được hai hình dạng đường cộng hưởng Fano có thể điều chỉnh độc lập trong một dải tần số rất hẹp. Bằng cách ghép nối tiếp hai hình dạng đường cộng hưởng Fano độc lập, hiệu ứng EIT (Electromagnetic Induced Transparency) đạt được như thể hiện trong Hình 3.11.



Hình 3.11 Sơ đồ của một bộ vi cộng hưởng kết hợp với cấu trúc 4x4 GMZI

Xem xét một bộ cộng hưởng vòng đơn trong cánh đầu tiên của cấu trúc GMZI của Hình 3.12, biên độ trường ở đầu vào và đầu ra của bộ vi cộng hưởng có thể được biểu thị bằng cách sử dụng phương pháp ma trận truyền dẫn. [114]

$$\begin{pmatrix} c_1 \\ c_1' \end{pmatrix} = \begin{pmatrix} \tau_1 & j\kappa_1 \\ j\kappa_1 & \tau_1 \end{pmatrix} \begin{pmatrix} b_1 \\ b_1' \end{pmatrix} \quad (3.6)$$

$$b_1' = \alpha_1 \exp(j\theta_1) c_1' \quad (3.7)$$

Với τ_1 và κ_1 lần lượt là hệ số truyền biên độ và hệ số ghép của bộ ghép; với một bộ ghép không suy hao, $|\kappa_1|^2 + |\tau_1|^2 = 1$. Hệ số suy hao đường truyền α_1 là $\alpha_1 = \exp(-\alpha_0 L_1)$, với $L_1 = \pi R_1$ là chiều dài của ống dẫn sóng, R_1 là bán kính của bộ vi cộng hưởng và α_0 (dB/cm) là hệ số suy hao truyền dẫn. $\theta_1 = \beta_0 L_1$ là pha tích lũy trên ống dẫn sóng, với

$\beta_0 = 2\pi n_{eff} / \lambda$, λ là bước sóng quang học và n_{eff} chiết xuất hiệu dụng.

Do đó, phản ứng truyền của bộ vi cộng hưởng đơn có thể được đưa ra bởi

$$\frac{c_1}{b_1} = \frac{\tau_1 - \alpha_1 \exp(j\theta_1)}{1 - \tau_1 \alpha_1 \exp(j\theta_1)} \quad (3.8)$$

Pha hiệu dụng ϕ_1 được tạo ra bởi bộ vi cộng hưởng được tính toán như sau:

$$\phi_1 = \pi + \theta_1 + \arctan\left(\frac{\tau_1 \sin\theta_1}{\alpha_1 - \tau_1 \cos\theta_1}\right) + \arctan\left(\frac{\alpha_1 \tau_1 \sin\theta_1}{1 - \alpha_1 \tau_1 \cos\theta_1}\right) \quad (3.9)$$

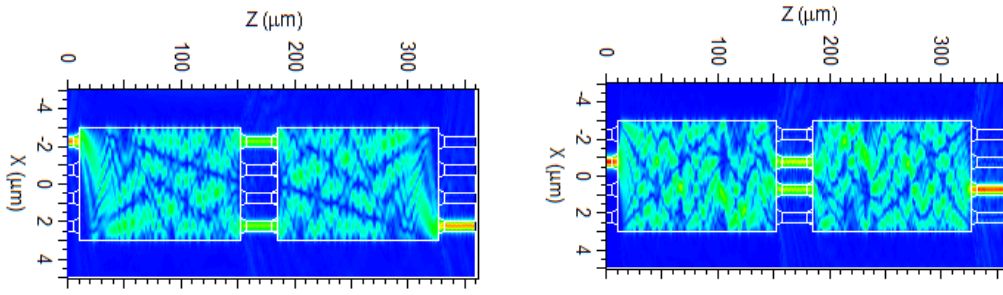
Kết quả là, độ lệch pha giữa hai cánh 1 và 4 của GMZI được biểu thị bằng

$$\Delta\phi_1 = \phi_1 - \varphi_1 = \pi + \theta_1 + \arctan\left(\frac{\tau_1 \sin\theta_1}{\alpha_1 - \tau_1 \cos\theta_1}\right) + \arctan\left(\frac{\alpha_1 \tau_1 \sin\theta_1}{1 - \alpha_1 \tau_1 \cos\theta_1}\right) - \varphi_1 \quad (3.10)$$

Bằng phân tích tương tự, độ lệch pha giữa hai cánh 2 và 3 của GMZI được biểu thị bằng

$$\Delta\phi_2 = \phi_2 - \varphi_2 = \varphi_2 - (\pi + \theta_2 + \arctan\left(\frac{\tau_2 \sin\theta_2}{\alpha_2 - \tau_2 \cos\theta_2}\right) + \arctan\left(\frac{\alpha_2 \tau_2 \sin\theta_2}{1 - \alpha_2 \tau_2 \cos\theta_2}\right)) \quad (3.11)$$

Giả định rằng hai bộ ghép MMI 4x4 có cùng chiều rộng W_{MMI} và chiều dài $L_{MMI} = \frac{3L_\pi}{2}$. Ống dẫn sóng silic được sử dụng cho thiết kế. Các thông số được sử dụng trong thiết kế như sau: ống dẫn sóng có độ dày silic tiêu chuẩn là $h_{co} = 220nm$ và chiều rộng ống dẫn sóng truy cập là $W_a = 0,5 \mu m$ cho hoạt động chế độ đơn mode. Giả thiết rằng các thiết kế dành cho phân cực TE ở bước sóng quang trung tâm $\lambda = 1550nm$. Bằng cách sử dụng mô phỏng BPM, chiều rộng tối ưu của MMI được tìm thấy là $W_{MMI} = 6\mu m$ cho thiết bị nhỏ gọn và hiệu suất cao. Mô phỏng 3D-BPM cho bộ ghép 4x4 MMI nói tiếp này được hiển thị trong Hình 3.12 (a) cho tín hiệu tại cổng đầu vào 1 và Hình 3.12 (b) cho tín hiệu tại cổng đầu vào 2. Chiều dài tối ưu của mỗi bộ ghép MMI là được tìm thấy là $L_{MMI} = 141,7 \mu m$.



Hình 3.12 Mô phỏng BPM cho bộ ghép 4x4 MMI nối tiếp được sử dụng cho bộ cộng hưởng MZI cho đầu vào 1 và 2

Mối quan hệ giữa các biên độ phức tại các cổng đầu vào và cổng đầu ra có thể được biểu diễn dưới dạng ma trận truyền của bộ ghép 3dB MMI và bộ dịch pha như sau:

$$\begin{pmatrix} d_1 \\ d_4 \end{pmatrix} = \begin{pmatrix} \sin(\Delta\varphi_1 / 2) & \cos(\Delta\varphi_1 / 2) \\ \cos(\Delta\varphi_1 / 2) & -\sin(\Delta\varphi_1 / 2) \end{pmatrix} \begin{pmatrix} a_1 \\ a_4 \end{pmatrix} \quad (3.12)$$

Tương tự, các biên độ phức tại các cổng đầu vào và đầu ra 2 và 3 có thể được biểu thị bằng:

$$\begin{pmatrix} d_2 \\ d_3 \end{pmatrix} = \begin{pmatrix} \sin(\Delta\varphi_2 / 2) & \cos(\Delta\varphi_2 / 2) \\ \cos(\Delta\varphi_2 / 2) & -\sin(\Delta\varphi_2 / 2) \end{pmatrix} \begin{pmatrix} a_2 \\ a_3 \end{pmatrix} \quad (3.13)$$

Ở đây, hệ số suy hao đường truyền $\alpha_2 = \exp(-\alpha_0 L_2)$, với $L_2 = \pi R_2$ là chiều dài của ống dẫn sóng trong cánh 2, R_2 là bán kính của bộ vi cộng hưởng và $\alpha_0 (dB/cm)$ là hệ số suy hao truyền dẫn. $\theta_2 = \beta_0 L_2$ là pha tích lũy trên ống dẫn sóng.

Kết quả là hàm truyền tại các cổng bar và cross của cấu trúc trong hình 3.12 là:

$$T_{\text{bar}} = \left| \cos\left(\frac{\Delta\varphi_2}{2}\right)\sin\left(\frac{\Delta\varphi_2}{2}\right) + \cos\left(\frac{\Delta\varphi_1}{2}\right)\sin\left(\frac{\Delta\varphi_1}{2}\right) \right|^2 \quad (3.14)$$

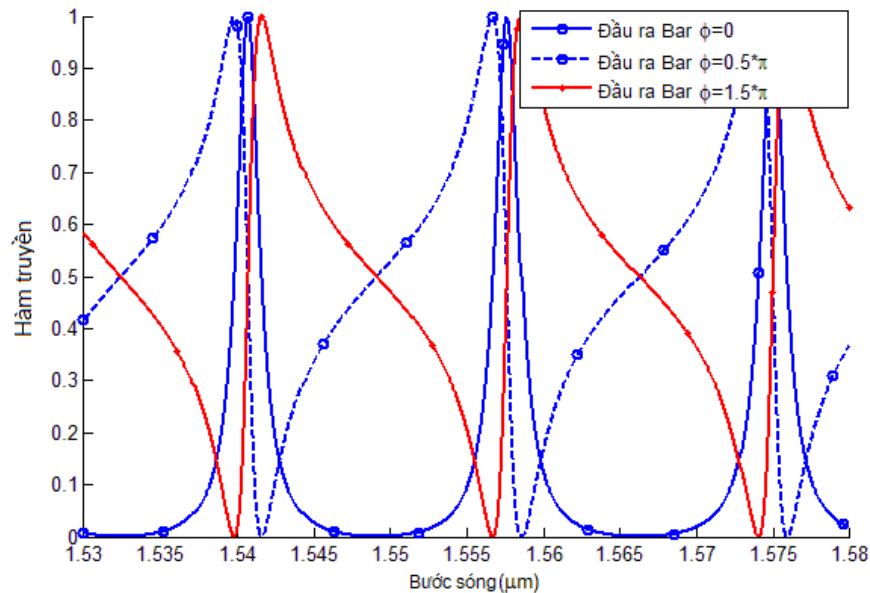
$$T_{\text{cross}} = \left| \cos^2\left(\frac{\Delta\varphi_2}{2}\right) - \sin^2\left(\frac{\Delta\varphi_2}{2}\right) \right|^2 \quad (3.15)$$

Tiếp theo nghiên cứu này chỉ ra rằng hàm truyền có dạng phổ cộng hưởng Fano và hình dạng có thể được điều chỉnh bằng cách điều chỉnh các bộ dịch pha φ_1 và φ_2 .

3.2.2. Kết quả mô phỏng và thảo luận

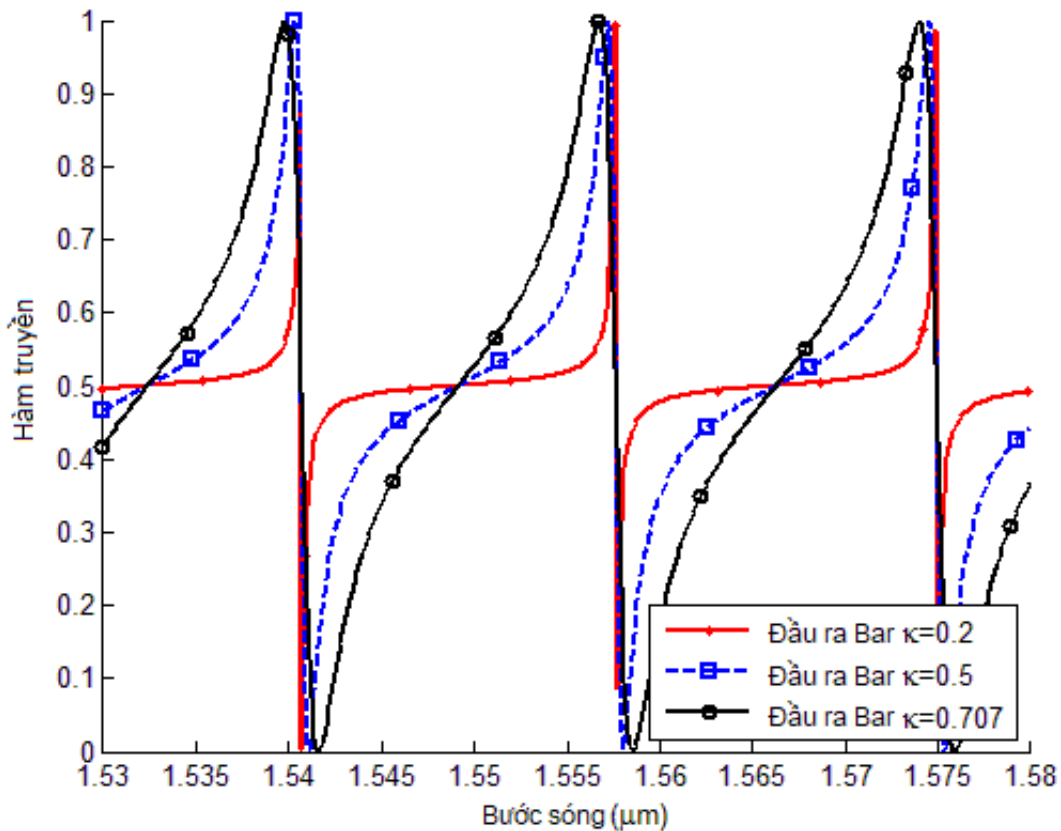
Không mất tính tổng quát, bán kính vi cộng hưởng $R_1 = 5\mu m$ được chọn cho thiết bị nhỏ gọn nhưng suy hao thấp [149], chiết suất hiệu dụng được tính là $n_{eff} = 2,2559$, $\tau_1 = 0,707$ (Bộ ghép 3dB) và $\alpha_1 = 0,98$. Thay đổi φ_1 từ 0 đến $1,5\pi$, hàm truyền tại cổng bar của linh kiện được thể hiện trong Hình 3.13.

Bộ dịch pha có thể được tạo ra từ hiệu ứng nhiệt-quang hoặc hiệu ứng plasma trong ống dẫn sóng silic [140]. Sự cộng hưởng Fano này xảy ra do sự giao thoa giữa cộng hưởng quang học trong cánh với bộ vi cộng hưởng và chế độ lan truyền trong nhánh kia. Từ kết quả mô phỏng, chúng ta có thể thấy rằng quá trình chuyển đổi liên tục từ không đối xứng sang đối xứng và hướng tới hình dạng đường ngược có thể đạt được bằng cách dịch pha trong ống dẫn sóng thẳng φ_1 . Do đó, chúng ta có thể kiểm soát cộng hưởng Fano bằng cách điều chỉnh di pha. Ngoài ra, bằng cách chọn di pha một cách thích hợp, có thể thu được dạng phổ cộng hưởng Fano độ dốc lớn.



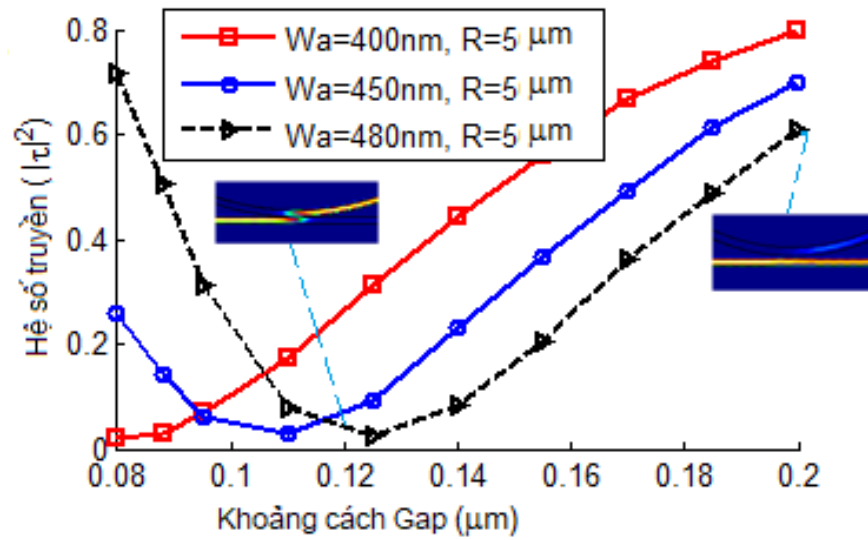
Hình 3.13. Phổ truyền qua thiết bị tại cổng bar với $\varphi_1 = 0$; $\varphi_1 = 0,5\pi$, và $\varphi_1 = 1,5\pi$

Hình 3.14 cho thấy phổ truyền qua của linh kiện tại cổng bar với tỷ lệ ghép nối khác nhau của bộ vi cộng hưởng với cánh MZI. Có thể thấy rằng một phổ cộng hưởng Fano rất sắc nét có thể đạt được nếu hệ số ghép nối κ_1 của bộ ghép nhỏ. Hệ số ghép nối của bộ ghép có thể được điều chỉnh bằng cách điều chỉnh độ dài của bộ ghép định hướng hoặc bằng cách sử dụng bộ ghép MMI [150]. Hình 3.15 cho thấy việc điều khiển các hệ số ghép và truyền bằng cách thay đổi khe hở và chiều dài của bộ ghép định hướng.

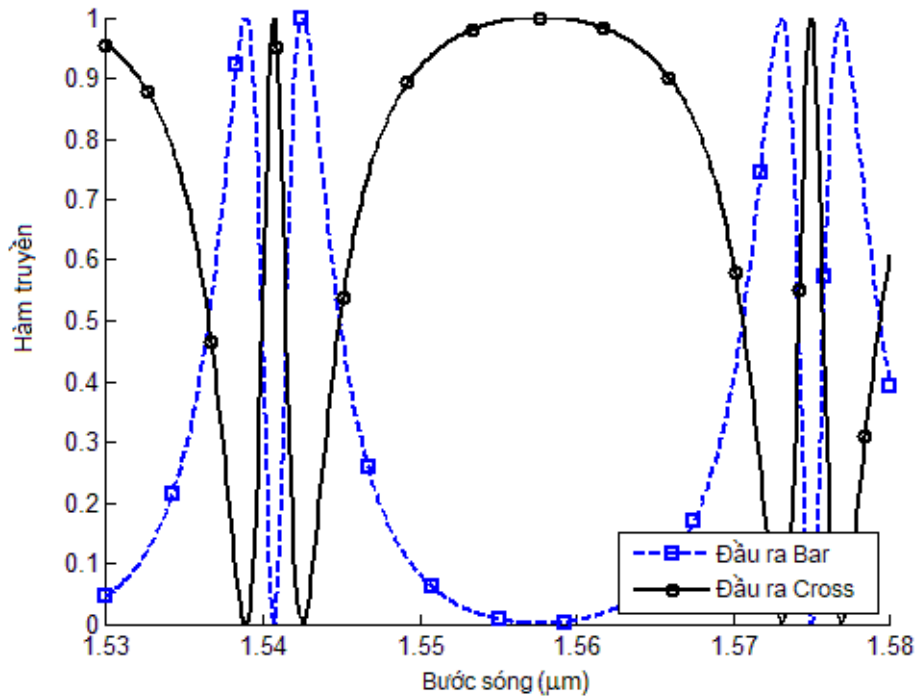


Hình 3.14. Phổ truyền qua thiết bị tại cổng bar với $\kappa_1 = 0,2$; $\kappa_1 = 0,5$; và $\kappa_1 = 0,707$

Tiếp theo ta nghiên cứu hàm truyền của cấu trúc khi ghép nối tiếp hai bộ ghép 4x4 MMI. Điều đặc biệt là hiệu ứng EIT có thể được tạo như chỉ ra ở trong Hình 3.16.



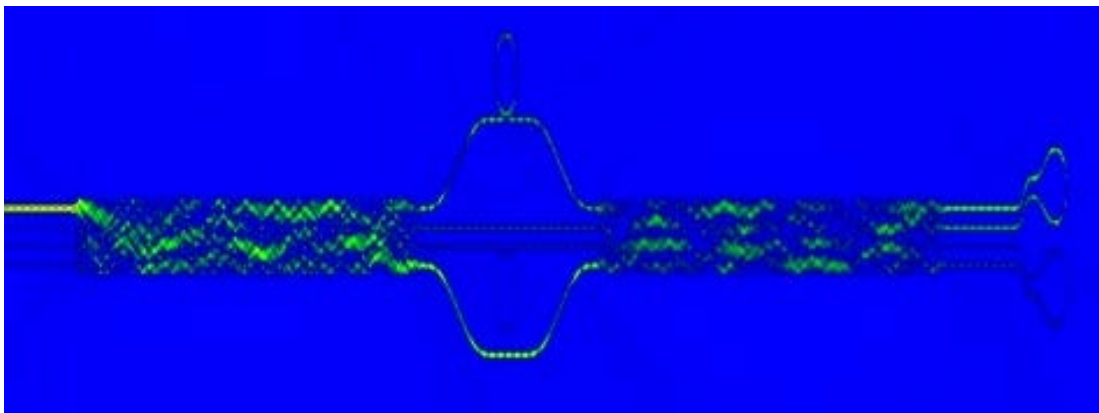
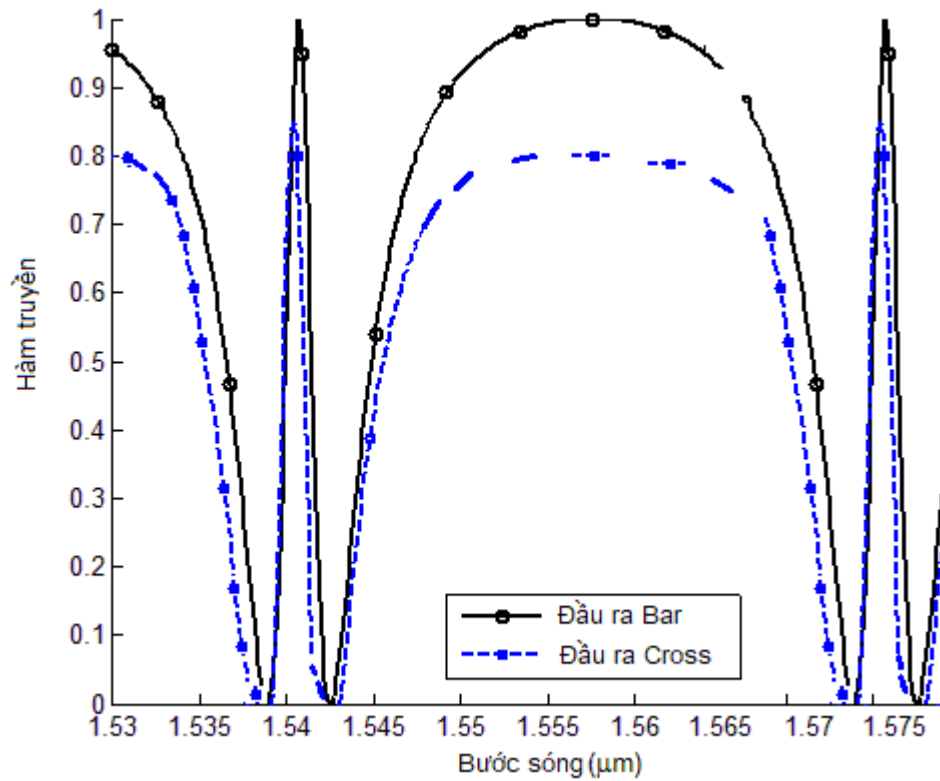
Hình 3.15. Công suất truyền giữa ống dẫn thẳng và ống dẫn vòng phụ thuộc và độ rộng Gap và độ rộng ống dẫn sóng, $R=5\mu\text{m}$



Hình 3.16. Hiệu ứng EIT được tạo ra bởi cấu trúc

Trong mô phỏng FDTD, luận án tính đến sự phân tán bước sóng của ống dẫn sóng silic. Thiết kế của bộ ghép định hướng được trình bày trong phần trước được sử

dụng làm đầu vào cho mô phỏng FDTD. Một xung ánh sáng Gauss có độ rộng xung 15fs được phát ra từ đầu vào để khảo sát các đặc tính truyền của linh kiện. Kích thước lưới $\Delta x = \Delta y = 2nm$ và $\Delta z = 2nm$ được chọn trong mô phỏng. Các mô phỏng FDTD thể hiện sự phù hợp tốt với phân tích lý thuyết được thể hiện ở Hình 3.17.



Hình 3.17. Mô phỏng FDTD của linh kiện

3.4 Kết luận Chương 3

Chương này, nghiên cứu sinh đã đề xuất cấu trúc làm nhanh và làm chậm ánh sáng sử dụng cấu trúc nhiều bộ ghép kết hợp bộ phản xạ Sagnac. Kết quả cho thấy hệ thống mới có khả năng tăng cường gấp đôi so với hệ thống cũ. Bằng cách thay đổi số lượng bộ vi cộng hưởng, ta có thể tăng hoặc giảm thời gian trễ tương ứng. Chương này nghiên cứu sinh cũng đã trình bày nghiên cứu cấu trúc mới để đạt được các hình dạng phổ cộng hưởng Fano có thể điều chỉnh và hiệu ứng giống như EIT. Cấu trúc được đề xuất dựa trên bộ giao thoa đa mode 4×4 . Bằng cách ghép nối tiếp hai cộng hưởng Fano độc lập, hiệu ứng EIT đạt được. Thiết kế này của thiết bị được đề xuất dựa trên ống dẫn sóng silic. Toàn bộ cấu trúc linh kiện có thể được chế tạo trên cùng một chip bằng công nghệ CMOS. Phương pháp giải tích và phương pháp BPM được sử dụng để phân tích và thiết kế linh kiện. Sau đó, phương pháp FDTD được sử dụng để so sánh với phương pháp phân tích. Nghiên cứu sinh đã nghiên cứu về cộng hưởng Fano và đề xuất cấu trúc tạo cộng hưởng Fano. Từ kết quả của nghiên cứu này, các bộ nhớ quang, xử lý tín hiệu quang trong mạng máy tính quang sẽ được tiếp tục nghiên cứu. Các kết quả nghiên cứu của Chương 3 được công bố trong các công trình CT4, CT5 và CT6.

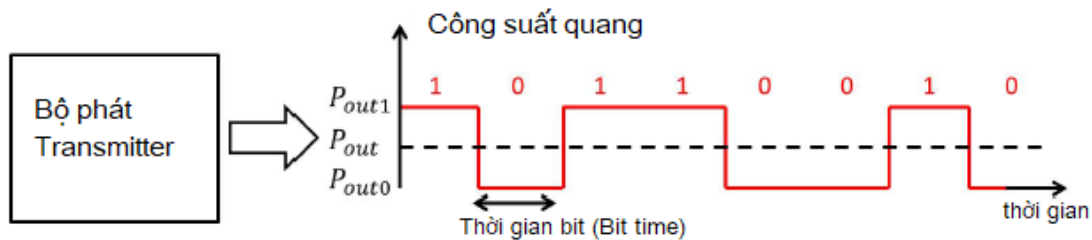
Chương 4

Phân tích và thiết kế cấu trúc tạo tín hiệu đa mức PAM-4 cho hệ thống kết nối máy tính quang

Chương 4 trình bày phương pháp mới tạo tín hiệu PAM-4 dùng 3x3 MMI và 4x4 MMI sử dụng hiệu ứng Fano để giảm công suất và tăng băng thông, ứng dụng cho các hệ thống tính toán quang, truyền dẫn trong giữa các hệ thống trong trung tâm dữ liệu yêu cầu tốc độ cao.

Trong những năm qua, điều chế on off keying (OOK) thường được sử dụng cho các liên kết quang của mạng kết nối quang và mạng trung tâm dữ liệu. Tuy nhiên, khi yêu cầu tốc độ bit và băng thông cao thì điều chế OOK không thể đáp ứng được. Độ phức tạp của hệ thống cũng tăng lên. Do đó, các phương pháp điều chế bậc cao hiệu quả như M-QAM (M-Ary Quadrature Amplitude Modulation), PAM-M (M-Ary Pulse Amplitude Modulation) và M-PSK (M-Ary Phase Shift Keying) được xem xét [151].

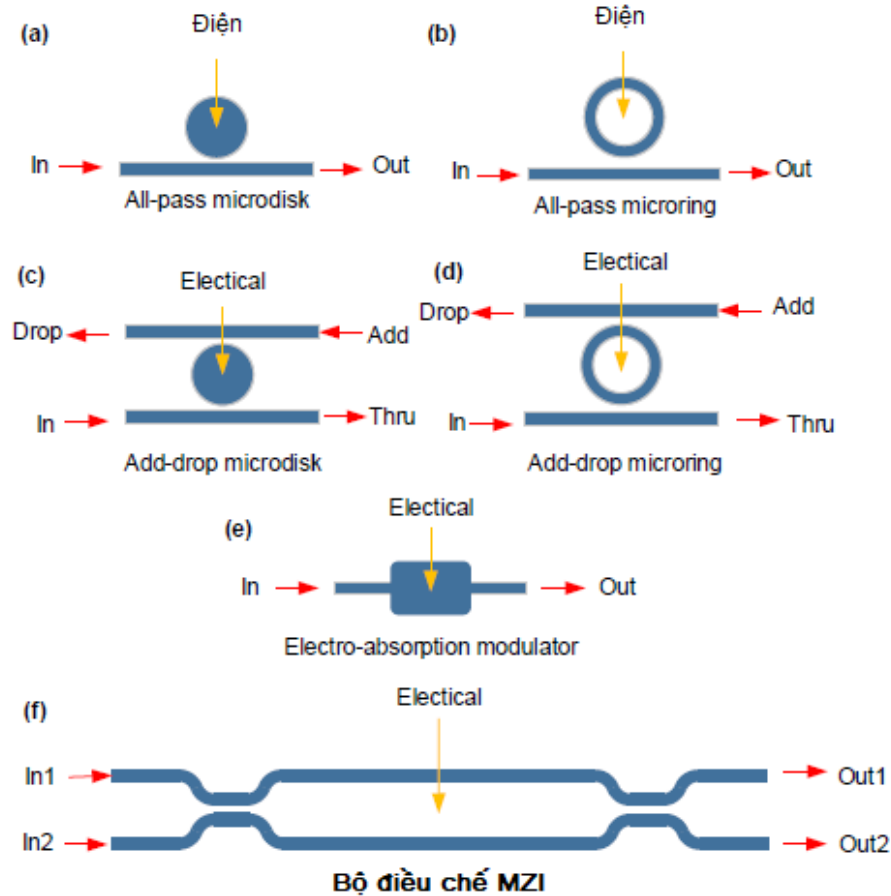
Sơ đồ bộ điều chế hay bộ tạo tín hiệu quang nhị phân OOK thông thường được thể hiện ở Hình 4.1.



Hình 4.1. Tạo tín hiệu OOK quang

Bộ điều chế là cầu nối giữa miền điện và miền quang để xử lý tín hiệu toàn quang thực hiện các chức năng logic, truyền dẫn và nhớ quang. Hình 4.2 mô tả các cấu trúc của bộ điều chế điện quang hiện nay. Có hai sơ đồ chính là sử dụng cấu trúc giao thoa Mach Zehnder (MZM) [152] [153] và vi cộng hưởng (microring resonator) [154]. Khi đầu vào là sóng liên tục CW (continuous wave), đầu ra tín hiệu quang sẽ là ánh xạ các

đầu vào điện tương ứng với dữ liệu nhị phân. Các thuộc tính của các bộ điều chế điện quang EO (Electro-optic) trực tiếp xác định hiệu suất của hệ thống, bao gồm thời gian chuyển mạch EO, mức tiêu thụ điện năng và kích thước hay mật độ tích hợp vi mạch.

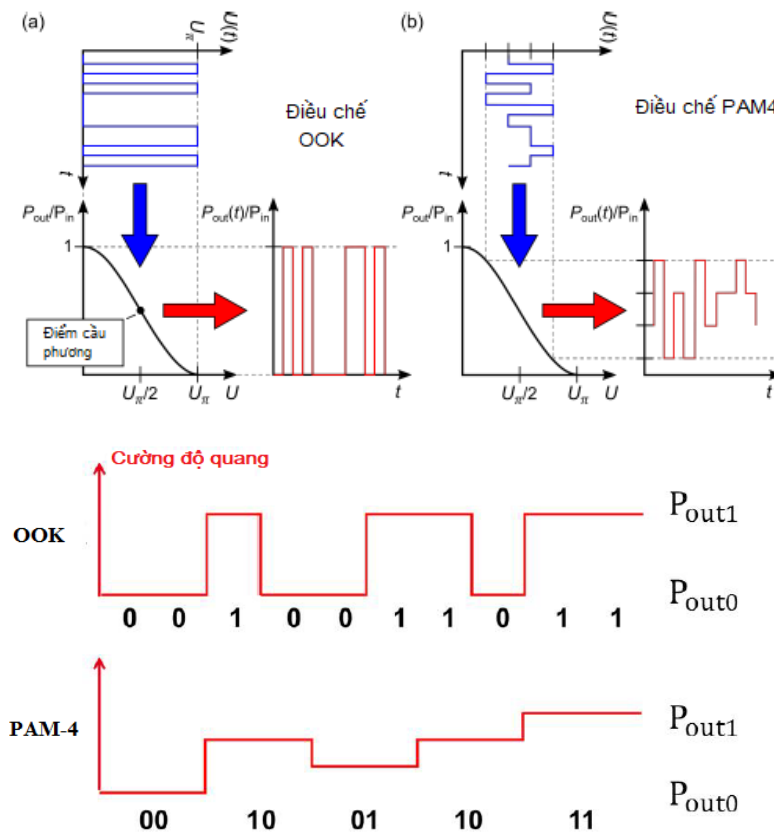


Hình 4.2. Các kiến trúc tạo tín hiệu OOK

Thông thường các hiệu ứng quang-nhiệt hoặc quang-điện được sử dụng để điều biến tín hiệu từ miền điện sang miền quang [155]. Tuy nhiên các giải pháp này tốc độ xử lý dữ liệu thường thấp, khó đáp ứng cho các ứng dụng yêu cầu tốc độ cao. Do vậy, hiệu ứng plasma và bộ điều biến dựa vào graphene, plasmonics khác đã và đang được nghiên cứu rộng rãi, đặc biệt là trong các trường đại học, viện nghiên cứu, các Lab R&D của Intel và IBM [156]. Chúng được kỳ vọng sẽ cung cấp hiệu suất tốt hơn về công suất tiêu thụ thấp, kích thước nhỏ, tốc độ cao, v.v.

Điều chế biên độ xung đa mức (PAM-4) được coi là một giải pháp tiềm năng cho việc truyền tốc độ dữ liệu cao với chi phí và độ phức tạp phù hợp, đặc biệt cho các ứng dụng trong kết nối quang và mạng trung tâm dữ liệu. Đó là bởi vì so với các điều chế cao hơn khác như M-PSK, M-QAM, PAM-4 chỉ yêu cầu một nguồn lực hạn chế của xử lý tín hiệu số (DSP-Digital Signal Processing). Điều chế PAM-M cho phép định hướng trực tiếp các tín hiệu cường độ quang mà không yêu cầu DSP phức tạp, mặc dù yêu cầu tỷ số tín hiệu trên tạp âm SNR (Signal to Noise Ratio) cao [157].

Điều chế biên độ nhiều mức PAM-M giúp tiết kiệm băng thông, tăng tốc độ. Tuy nhiên khi bậc M cao thì yêu cầu công suất cao, do vậy trong các hệ thống kết nối quang và trung tâm dữ liệu thường dùng $M=4$. Với $M=4$, PAM-4 sẽ tiết kiệm được 1/2 băng thông và tăng 2 lần tốc độ mà vẫn giữ được tỷ lệ lỗi bit gần như OOK. Hình 4.3 thể hiện tín hiệu OOK và PAM-4 tương ứng.



Hình 4.3. Tín hiệu OOK và PAM-4

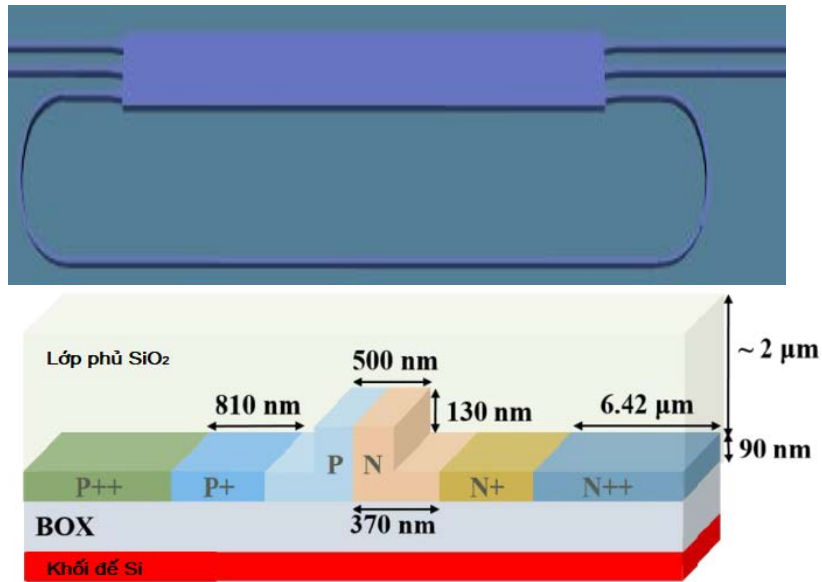
4.1 Tạo tín hiệu PAM-4 dùng 3x3 MMI

Trong những năm gần đây, một số cấu trúc mới chỉ dựa trên một bộ ghép 3x3 MMI cho độ trong suốt cảm ứng điện từ (EIT), tạo hiệu ứng Fano, cảm biến sinh học có độ nhạy cao đã được nghiên cứu và đề xuất thiết kế [158] [159]. Tuy nhiên, bộ ghép 3x3 MMI được áp dụng cho các mạch tích hợp quang để có tốc độ cao, kết nối quang trên chip trong các hệ thống tính toán hiệu suất cao và mạng trung tâm dữ liệu vẫn chưa thành hiện thực.

Do đó, trong nghiên cứu này, nghiên cứu sinh trình bày và đề xuất kiến trúc mới để thực hiện hệ thống tín hiệu PAM-4 bằng cách sử dụng bộ cộng hưởng vòng dựa trên bộ ghép nối 3x3 MMI. Các mạch quang tử tích hợp nền silic quy mô lớn trở nên khả thi và thực tế hơn. Do đó, luận án sử dụng các công nghệ hiện có của CMOS để thiết kế [160]. Thiết kế này giải quyết được vấn đề tồn tại của các cấu trúc trước đó là dùng vi cộng hưởng dựa vào bộ ghép có hướng với dung sai chế tạo thấp, khó điều khiển hệ số ghép, độ phi tuyến cao và công suất tiêu thụ lớn.

Hình 4.4 là sơ đồ của kiến trúc PAM-4 được đề xuất dựa trên bộ cộng hưởng vòng 3x3 MMI. Các nghiên cứu trước đó đã chỉ ra rằng cấu trúc vi mạch dựa trên bộ ghép GI-MMI 3x3 có thể được sử dụng cho các ứng dụng lọc, điều chế và chuyển mạch quang [161] [162] [163]. Cấu trúc ống dẫn sóng sừng SOI (Silicon-on-insulator) sử dụng chuyển tiếp PN để tạo ra các dịch pha. Ống dẫn sóng SOI có chiều rộng 500 nm và chiều cao 220 nm và nằm trên một phiên 90 nm. Thiết kế mới được đề xuất sử dụng hai bộ dịch pha chuyển tiếp PN tại ống dẫn sóng phản hồi như thể hiện trong hộp của Hình 4.4 cho hai bit b_0 và b_1 , sử dụng hiệu ứng phân tán plasma trong ống dẫn sóng silic.

Mật độ pha tạp PN nhỏ được sử dụng để giảm suy hao tán xạ quang học trong ống dẫn sóng sừng SOI. Chiều rộng của lớp pha tạp P và lớp pha tạp N trong ống dẫn sóng bản phiên tương ứng 90 nm là 1 μm . Ngoài ra còn có các vùng pha tạp P ++ và N ++ với chiều rộng 6.35 μm . Cả hai đều cách mép của ống dẫn sóng 1 μm . Mật độ pha tạp đỉnh mô phỏng là $7,8 \times 10^{17} \text{ cm}^{-3}$ cho P, $2,1 \times 10^{18} \text{ cm}^{-3}$ cho N, $3,9 \times 10^{19} \text{ cm}^{-3}$ cho P++ và $9,7 \times 10^{19} \text{ cm}^{-3}$ cho N++ [164].



Hình 4.4. Kiến trúc thế hệ PAM-4 dựa trên bộ cộng hưởng vòng dựa trên bộ ghép MMI 3x3 với hai bộ dịch pha được phân đoạn

Sự thay đổi chiết suất được mô tả bằng phương trình Soref và Bennett [165]. Xung quanh bước sóng hoạt động 1550nm, những thay đổi trong chiết suất và độ hấp thụ được biểu thị bởi phương trình sau:

$$\Delta n \text{ (at 1550nm)} = -8,8 \times 10^{-22} \Delta N - 8,5 \times 10^{-18} \Delta P^{0.8} \quad (4.1)$$

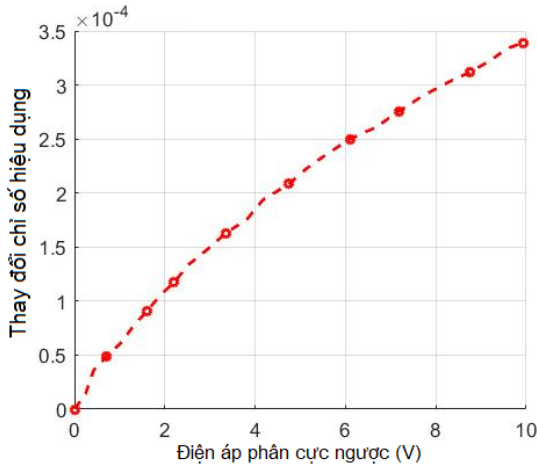
$$\Delta \alpha \text{ (at 1550nm)} = 8,5 \times 10^{-18} \Delta N + 6 \times 10^{-18} \Delta P \text{ [cm}^{-1}\text{]} \quad (4.2)$$

Hình 4.5 thể hiện sự thay đổi chỉ số chiết suất hiệu dụng được mô phỏng (Δn_{eff}) và suy hao lan truyền khi áp dụng điện áp phân cực ngược trên thiết kế bốn điểm nối PN trong Hình 4.4. Bằng cách phân đoạn chiều dài của bộ dịch pha thành L_1 và L_2 , trong đó $L_2 = 2L_1$ với điện áp được áp dụng V_0 và V_1 tương ứng, 4 mức tín hiệu PAM-4 có thể đạt được. Giả thiết rằng bộ dịch pha với chiều dài L_1 là cho bit LSB (Least Significant Bit) và L_2 dành cho bit MSB (Maximum Significant Bit) của bit dữ liệu đầu vào $b_0 b_1 = 00, 01, 10, 11$. Sự thay đổi chiết suất hiệu dụng đạt được nhờ hiệu ứng phân tán plasma trong ống dẫn sóng silic do điện áp đặt vào. Tổng dịch pha được tính bằng:

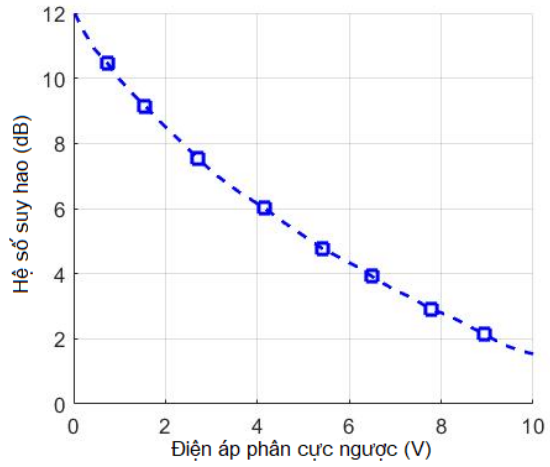
$$\Delta\phi = \frac{2L_1}{\lambda} \Delta n_{eff}(V_0) + \frac{2L_2}{\lambda} \Delta n_{eff}(V_1) \quad (4.3)$$

Nghiên cứu này tìm cách để thiết kế bộ ghép MMI tạo ra cộng hưởng Fano, từ đó tạo ra điều chế PAM-4 bằng cộng hưởng Fano này lần đầu tiên. Bằng cách chọn vị trí của ống dẫn sóng đầu vào và chiều dài của bộ ghép MMI 3x3 phù hợp, chúng ta có thể đạt được ma trận đặc tính $\mathbf{M} = [m_{ij}]_{3 \times 3}$ ($i, j=1, 2, 3$) của bộ ghép 3x3 MMI như sau [158]:

$$\mathbf{M} = \begin{pmatrix} -\exp(-j\frac{2\pi}{3}) & \exp(-j\frac{2\pi}{3}) & -1 \\ \exp(-j\frac{2\pi}{3}) & -1 & \exp(-j\frac{2\pi}{3}) \\ -1 & \exp(-j\frac{2\pi}{3}) & -\exp(-j\frac{2\pi}{3}) \end{pmatrix} \quad (4.4)$$



(a)



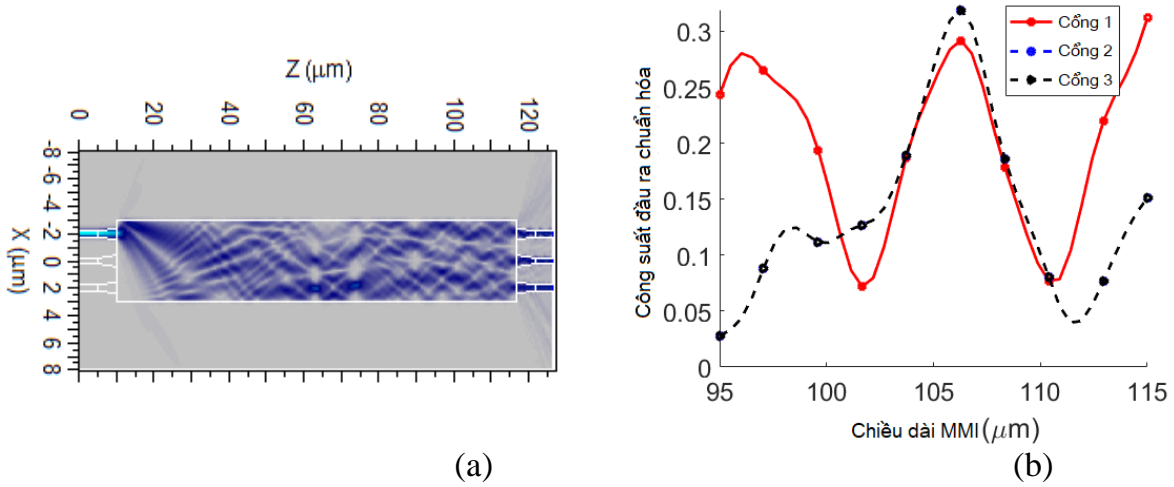
(b)

Hình 4.5. (a) Sự thay đổi chỉ số hiệu dụng và (b) hệ số suy hao ở điện áp phân cực khác nhau tại điểm nối PN

Mối quan hệ giữa các biên độ phức đầu ra b_j ($j=1,2,3$) và các biên độ phức đầu vào a_i ($i=1,2,3$) của bộ ghép có thể được biểu diễn bằng:

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \end{pmatrix} = \begin{pmatrix} -\exp(-j\frac{2\pi}{3}) & \exp(-j\frac{2\pi}{3}) & -1 \\ \exp(-j\frac{2\pi}{3}) & -1 & \exp(-j\frac{2\pi}{3}) \\ -1 & \exp(-j\frac{2\pi}{3}) & -\exp(-j\frac{2\pi}{3}) \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \end{pmatrix} \quad (4.5)$$

Tại đây, ống dẫn sóng phản hồi được kết nối từ cổng đầu ra 3 đến cổng đầu vào 2, $a_3 = [\alpha \exp(j\theta)]b_3$, và $\alpha = \exp(-\alpha_0 L)$ là suy hao truyền dọc theo ống dẫn sóng vòng, với $L = 2\pi R + L_{MMI}$ và α_0 (dB/cm) là hệ số suy hao trong lõi của ống dẫn sóng quang; $\theta = \beta_0 L$ là pha tích lũy trên ống dẫn sóng, với $\beta_0 = 2\pi n_{eff} / \lambda$ và n_{eff} là chiết suất hiệu dụng. Truyền dẫn tín hiệu trong cấu trúc 3x3 MMI bước sóng 1550nm được thể hiện trong Hình 4.6(a). Kết quả tính toán cho thấy chiết suất hiệu dụng là $n_{eff} = 2,61$.



Hình 4.6. (a) Truyền lan qua bộ ghép 3x3 MMI tại độ dài tối ưu 107,8 μm và (b) Công suất chuẩn hóa ở ba cổng ra

Để hoạt động chính xác như phân tích lý thuyết bằng phương pháp ma trận, các mô phỏng số của bộ ghép 3x3 MMI được thực hiện để tìm chiều dài tối ưu của bộ ghép MMI. Hình 4.6(b) cho thấy sự lan truyền trường và công suất chuẩn hóa tại ba cổng đầu ra ở độ dài tối ưu 107,8 μm . Chúng ta thấy rằng dung sai chế tạo đạt được $\pm 30\text{nm}$ theo chiều dài MMI gây ra sự dao động trong công suất đầu ra là 0,05. Đối với công

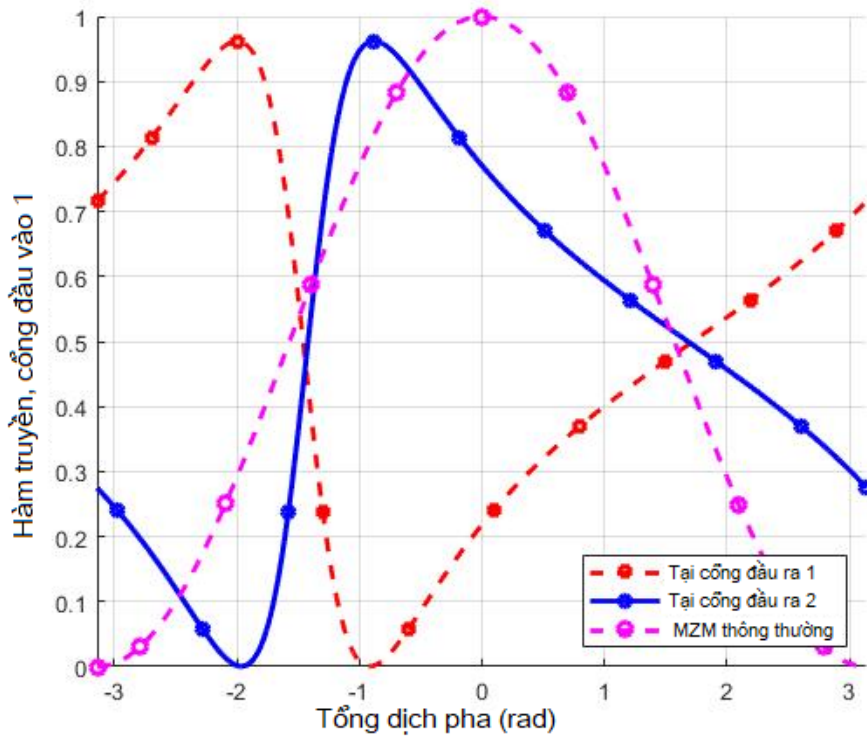
nghe chế tạo CMOS hiện có với lỗi chế tạo là $\pm 5nm$ [166], bộ cộng hưởng sử dụng cấu trúc 3x3 MMI GI có chế tạo dung sai lớn gấp 6 lần so với công nghệ CMOS cho phép hiện tại. Tức cho phép độ tự do trong chế tạo dễ dàng hơn nếu dùng công nghệ CMOS. Biên độ phức tại các cổng đầu ra 1 được cho bởi:

$$b_1 = \left(m_{11} + \frac{m_{13}m_{31}\alpha e^{j\theta}}{1 - m_{33}\alpha e^{j\theta}} \right) a_1 \quad (4.6)$$

Đối với tín hiệu đầu vào ở cổng đầu vào 1:

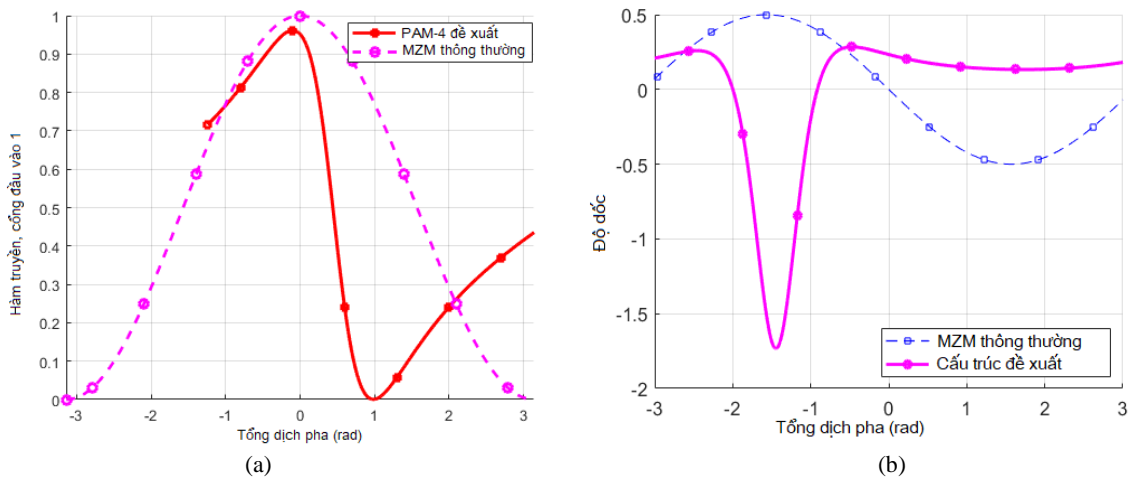
$$T = \left| \frac{E_{out}}{E_{in}} \right|^2 = \left| \left(m_{11} + \frac{m_{13}m_{31}\alpha e^{j\theta}}{1 - m_{33}\alpha e^{j\theta}} \right) \right|^2 \quad (4.7)$$

Công suất đầu ra chuẩn hóa tại các cổng đầu ra 1 và 2 so với cấu trúc MZM được thể hiện trong Hình 4.7.



Hình 4.7. Truyền dẫn ở cổng ra 1 và 2

Hình 4.8 thể hiện công suất chuẩn hóa tại cổng đầu ra 1 của cấu trúc được đề xuất so với cấu trúc MZM được sử dụng để tạo tín hiệu PAM-4. Chúng ta có thể thấy rằng để đạt được bốn mức PAM-4 là 0,2, 0,4, 0,6 và 0,8, chỉ cần một sự dịch pha rất nhỏ của cấu trúc đề xuất so với các cấu trúc trước đây như phân tích ở trên. Bằng cách áp dụng hai tín hiệu điện nhị phân độc lập non-return-to-zero (NRZ) V0 và V1 với điện áp đỉnh-đỉnh khác nhau ở hai ống dẫn sóng đầu ra, bốn mức khác biệt cho các bit dữ liệu 00, 01, 10, 11 được thu nhận trong công suất ra. Mô hình hóa có thể được sử dụng để tìm ra các điện áp cần thiết để đạt được 4 mức công suất cách đều nhau, đồng thời khai thác toàn bộ dải động của quá trình truyền đầu ra.



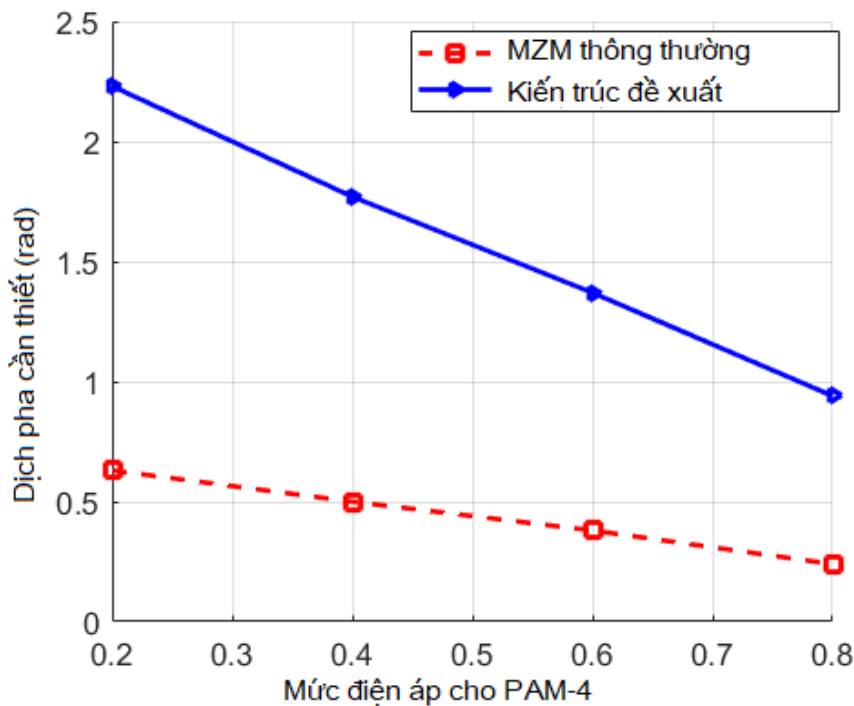
Hình 4.8. (a) Truyền dẫn ở cổng đầu ra 1 và 2 so với kiến trúc thế hệ PAM-4 sử dụng MZM và (b) Độ dốc của hai đường truyền

Bảng 4.1. Mức PAM-4 dựa trên hai bộ di pha được phân đoạn

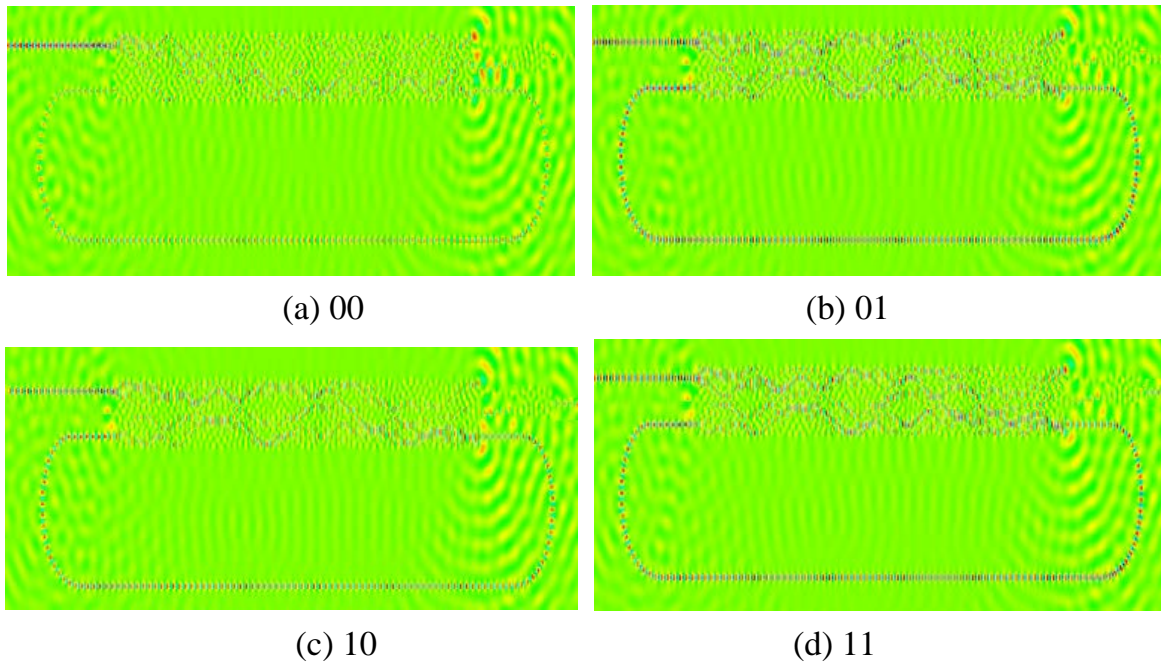
PAM-4 Bits	Mức PAM-4 (Truyền chuẩn hóa)	Dịch pha cần thiết cho MZM thông thường	Dịch pha cần thiết cho cấu trúc đề xuất
00	V0 (0,2)	2,23 rad	0,63 rad
01	V1 (0,4)	1,77 rad	0,50 rad
10	V2 (0,6)	1,37 rad	0,38 rad
11	V3 (0,8)	0,94 rad	0,24 rad

Các dịch pha cần thiết để đạt được bốn mức tín hiệu PAM-4 được thể hiện trong Bảng 4.1 và Hình 4.9. Chúng ta có thể thấy rằng độ dốc của kiến trúc đề xuất gần như không đổi so với kiến trúc MZM. Do đó, sự truyền dẫn của kiến trúc được đề xuất có độ tuyến tính lớn. Kết quả cũng cho thấy rằng mức tiêu thụ điện năng để đạt được PAM-4 đa cấp là cực kỳ thấp so với thể hệ PAM-4 dựa trên MZM, nhưng nó cung cấp băng thông cao hơn và dung sai chế tạo lớn so với cấu trúc thông thường dựa trên MZM. Kết quả mô phỏng trong Hình 4.10 cho thấy rằng đối với các bit dữ liệu 00, 01, 11, 10, tổng độ lệch pha giữa hai cánh của Hình 4.4 (a) tương ứng phải là $-0,06\pi$, $-0,02\pi$; $0,02\pi$ và $0,06\pi$ (rad). Để đạt được một vùng tuyến tính, bốn công suất đầu ra chuẩn hóa ở 0,2; 0,4; 0,6 và 0,8 được chọn.

Toàn bộ nguyên lý làm việc của thiết bị được xác minh bằng cách sử dụng các mô phỏng FDTD. Hình 4.10 cho thấy các mô phỏng FDTD cho 4 mức PAM-4: 00, 01, 10 và 11 được đưa vào các bộ dịch pha được phân đoạn tương ứng. Kết quả mô phỏng FDTD cho thấy kết quả phù hợp với phân tích lý thuyết dùng giải tích.



Hình 4.9. Các dịch pha cần thiết cho các mức PAM-4



Hình 4.10. Mô phỏng FDTD của toàn bộ thiết bị khi tín hiệu đầu vào ở cổng 1

Bảng 4.2 so sánh kết quả của kiến trúc PAM-4 đề xuất với các công bố trước. Các phương pháp thực hiện PAM-4 dựa vào cấu trúc single drive (SD-MZM), dual drive (DD-MZM), segmented/multi-segmented drive (DD-MIM), push-pull MZM (MZM đẩy-kéo) và vi cộng hưởng được thực hiện. Tùy theo ứng dụng thực tế tham số nào quan trọng mà thực hiện cân đối giữa các phương pháp. Lấy ví dụ nếu tỷ số phân biệt ER tăng khi chiều dài L hay điện áp tăng thì tăng độ tuyến tính. Tuy nhiên khi đó lại giảm biên độ điều chế quang OAM (optical modulation amplitude) do đó khó phân biệt bit 0 và 1, đồng nghĩa với việc tốc độ bị giảm.

Bảng 4.2. So sánh các kiến trúc PAM-4

Tài liệu	Kiến trúc	Kiểu	$v_{\pi}L$ (V.cm)	ER (dB)	V_{pp} (V)
[167]	DD- MZM	PIN	2,5	2,5	1,66
[168]	SD-MZM	PN	2,5	4,7	2,5
[169]	SD-MZM	PN	2,8	3,8	4,8
[170]	DD-MZM	PN	2,62	4	1,6
[171]	MZI MRR	Two PN	NA	25	3
[172]	DD-MIM	Two PN	3,2	5,2	4,92
Luận án	Fano	Two PN	1,2	13,8	1,6

4.2 Tạo tín hiệu PAM-4 dùng 4x4 MMI

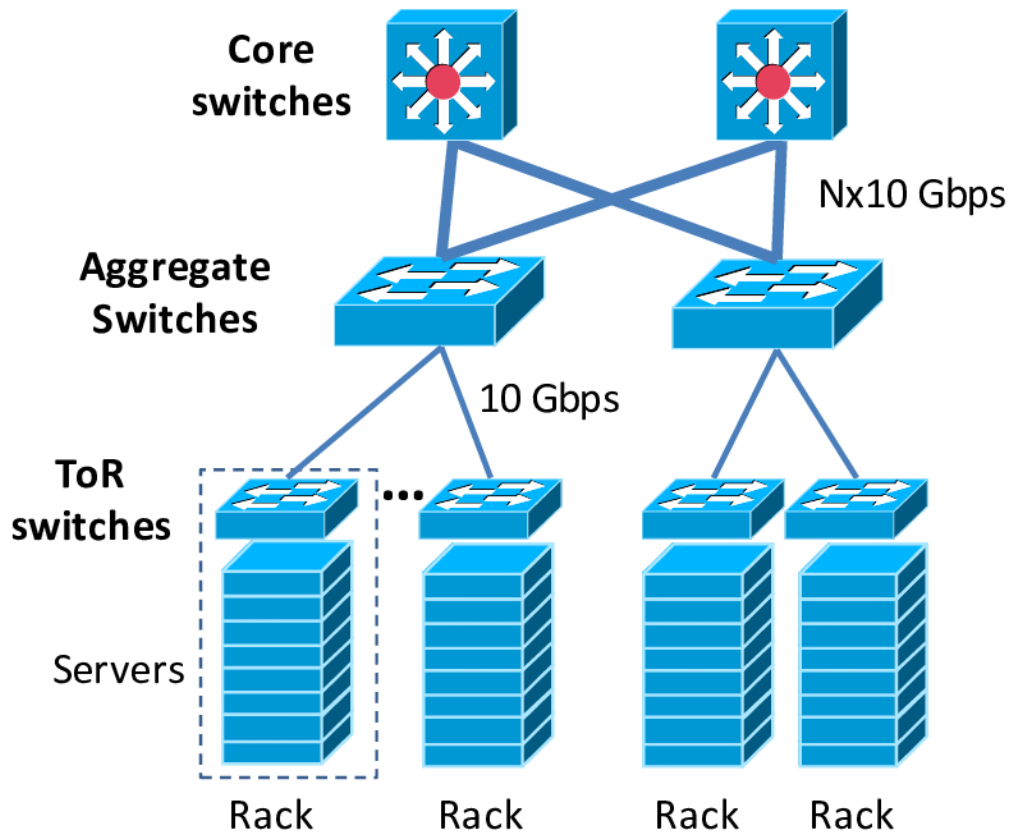
Vì kết nối điện tử thông thường đã đạt đến giới hạn dung lượng, nên việc cải thiện hiệu suất của thông lượng và độ trễ trong khi vẫn duy trì mức tiêu thụ điện năng là khá khó khăn. Mạng kết nối quang là một mạng đầy hứa hẹn với băng thông cao và định tuyến độ trễ thấp cho các nền tảng tính toán hiệu suất cao trong tương lai. Trung tâm dữ liệu là hệ thống máy tính quy mô lớn kết nối nhiều máy chủ, được thiết kế để hỗ trợ tính toán và trọng tải hệ thống trong khi giảm thiểu chi phí phần cứng và bảo trì. Các trung tâm dữ liệu hiện đại bao gồm hàng chục nghìn máy chủ hoặc các nút và các trung tâm dữ liệu lớn mới đang hình thành với hơn 100.000 nút [89].

Một trung tâm dữ liệu bao gồm các hệ thống máy tính và các thành phần liên quan được sử dụng để tính toán hiệu suất cao như trong Hình 4.11 [173] [174]. Phần lớn các kiến trúc kết nối quang cho trung tâm dữ liệu dựa trên các thiết bị được sử dụng trong mạng thông tin quang. Công nghệ quang học sẽ là yêu cầu bắt buộc trên toàn bộ hệ thống máy tính, bao gồm bộ xử lý, bộ nhớ, lưu trữ, kết nối liên kết và phần mềm hệ thống. Đối với các kết nối liên kết, công suất cần thiết để giao tiếp phải được giảm xuống đáng kể do yêu cầu về băng thông trên mỗi liên kết tăng lên. Quang tử sẽ đóng một vai trò quan trọng trong việc đáp ứng các mục tiêu năng lượng ở tất cả các cấp độ trong các trung tâm dữ liệu và máy tính hiệu suất cao (HPC) trong tương lai [175].

Một trong các giải pháp để cải thiện hiệu suất là cung cấp băng thông cao hơn thông qua cơ sở hạ tầng đã cài đặt. Sử dụng hệ thống xử lý tín hiệu trong miền quang lai ghép và được đóng gói đồng bộ với bộ xử lý, bộ chuyên mạch và hệ thống trên chip (SOC- System on chip) trong tương lai, chúng ta có thể tăng băng thông cho tất cả các nút và điểm cuối trong trung tâm dữ liệu mà không cần bất kỳ thay đổi nào đối với giá đỡ hoặc bảng mạch và không yêu cầu thêm cáp quang kết nối với chip.

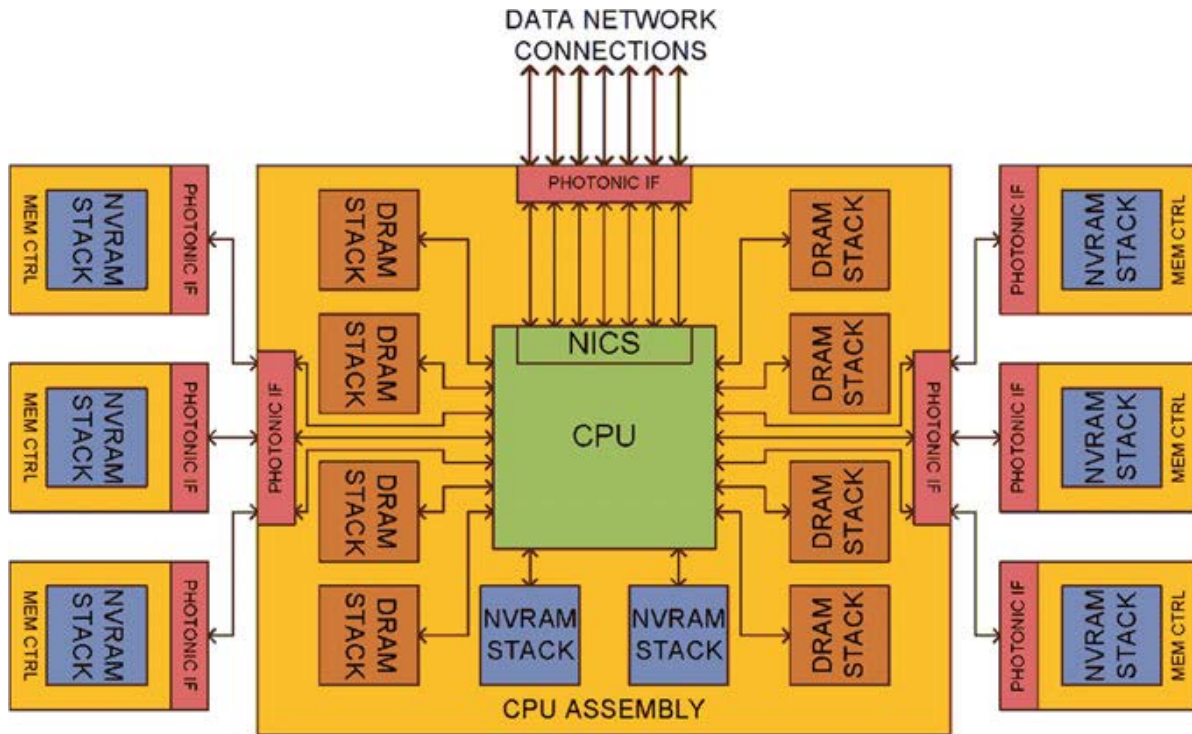
Hệ thống HPC và trung tâm dữ liệu có kiến trúc khá giống nhau: một số lượng lớn các nút xử lý đa lõi được kết nối với nhau bằng các mạng liên kết có thể mở rộng [173] [176]. Các xu hướng gần đây trong việc hợp nhất trung tâm dữ liệu cũng như sự phát triển của tính toán và lưu trữ dựa trên đám mây, đã dẫn đến các trung tâm dữ liệu có số lượng nút vượt quá hầu hết các hệ thống siêu máy tính. Nhưng các hệ thống HPC

thường dành riêng cho một ứng dụng duy nhất tại một thời điểm, trong khi các trung tâm dữ liệu thường chạy một số lượng lớn các ứng dụng đồng thời. Kết quả dẫn đến một sự khác biệt chính giữa các hệ thống HPC và các trung tâm dữ liệu thương mại là việc sử dụng các mạng liên kết chúng có thể đòi hỏi ít băng thông mạng hơn để hỗ trợ một lượng công suất xử lý nhất định.



Hình 4.11. Kiến trúc của trung tâm dữ liệu

Đến nay, việc triển khai các hệ thống exascale với khoảng 100.000–1.000.000 nút dự kiến sẽ được tiến hành [177]. Vào thời điểm đó, các bộ xử lý chip đơn với hiệu suất bền vững vượt quá 10 Teraflop sẽ có sẵn, khai thác cả mức độ song song luồng cao và song song SIMD (tương tự như GPU ngày nay) trong các đơn vị dầu phẩy động. Với băng thông bộ nhớ cao tới 4 Terabyte / s (TB / s), một trong những khía cạnh quan trọng nhất của thiết kế nút được thể hiện trong Hình 4.12 là cung cấp đủ băng thông bộ nhớ để duy trì bộ xử lý trong mức công suất có thể chấp nhận được (ví dụ: 200 W).

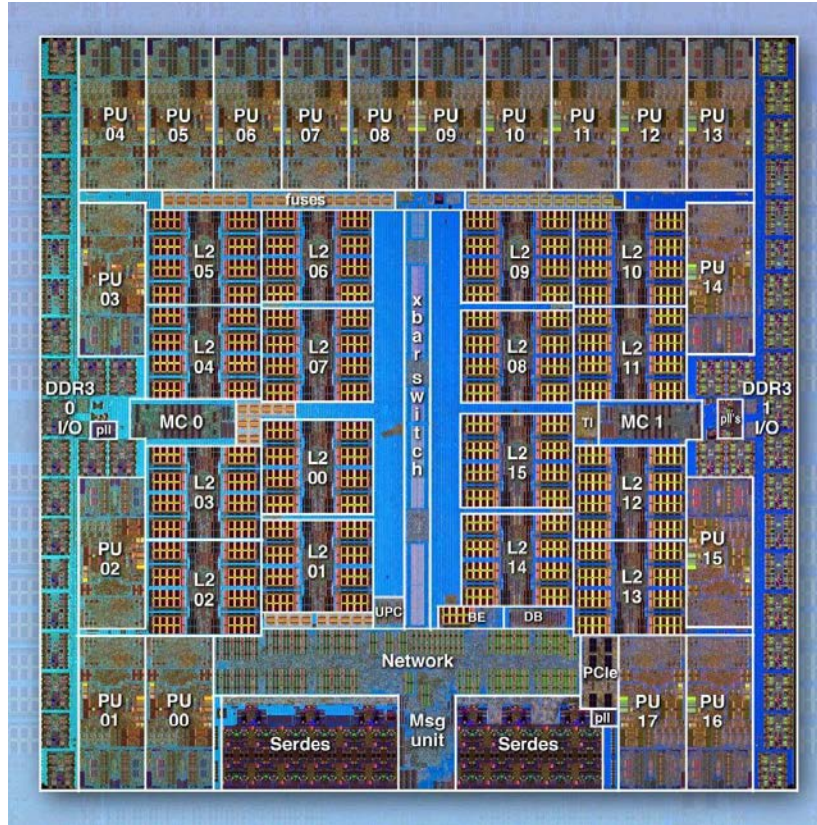


Hình 4.12. Nút điện toán Exascale

Điều này sẽ đạt được hoặc là xếp bộ nhớ “gần” trực tiếp trên bộ xử lý hoặc định vị nó trong chính gói bộ xử lý. Vì dung lượng bộ nhớ có thể được kết nối theo cách này bị hạn chế, bộ nhớ “xa” bổ sung (được cung cấp bởi nonvolatile RAM) sẽ được cung cấp bởi các mô-đun bộ nhớ được kết nối với bộ xử lý thông qua các liên kết tốc độ cao. Các kỹ thuật lập trình bộ nhớ phân tán, chẳng hạn như truyền tin MPI, được sử dụng trên một mạng trải dài 100.000 nút với băng thông yêu cầu ít nhất 1 Terabyte / s cho mỗi kết nối.

Một trong những siêu máy tính hàng đầu hiện nay IBM Sequoia sử dụng hơn 1,5 triệu lõi. Với tổng công suất tiêu thụ là 7,9 MW, Sequoia không chỉ nhanh hơn 1,5 lần so với siêu máy tính xếp thứ hai là máy tính K mà còn tiết kiệm năng lượng hơn 150%. Máy tính K, sử dụng hơn 80.000 bộ vi xử lý SPARC64 VIIIfx, dẫn đến tổng mức tiêu thụ điện năng cao nhất so với bất kỳ hệ thống Top 500 nào (9,89 MW). IBM Sequoia đạt được hiệu suất vượt trội và tiết kiệm năng lượng thông qua việc sử dụng các chip máy tính tùy chỉnh và các liên kết quang học giữa các nút máy tính. Mỗi chip tính toán được hiển thị trong Hình 4.13 chứa 18 lõi: 16 lõi người dùng, 1 dịch vụ và 1 dự phòng.

Các chip chứa hai bộ điều khiển bộ nhớ, cho phép băng thông bộ nhớ cao nhất là 42,7 Gbps và logic để giao tiếp qua hình xuyên 5D sử dụng các liên kết quang học điểm-điểm.



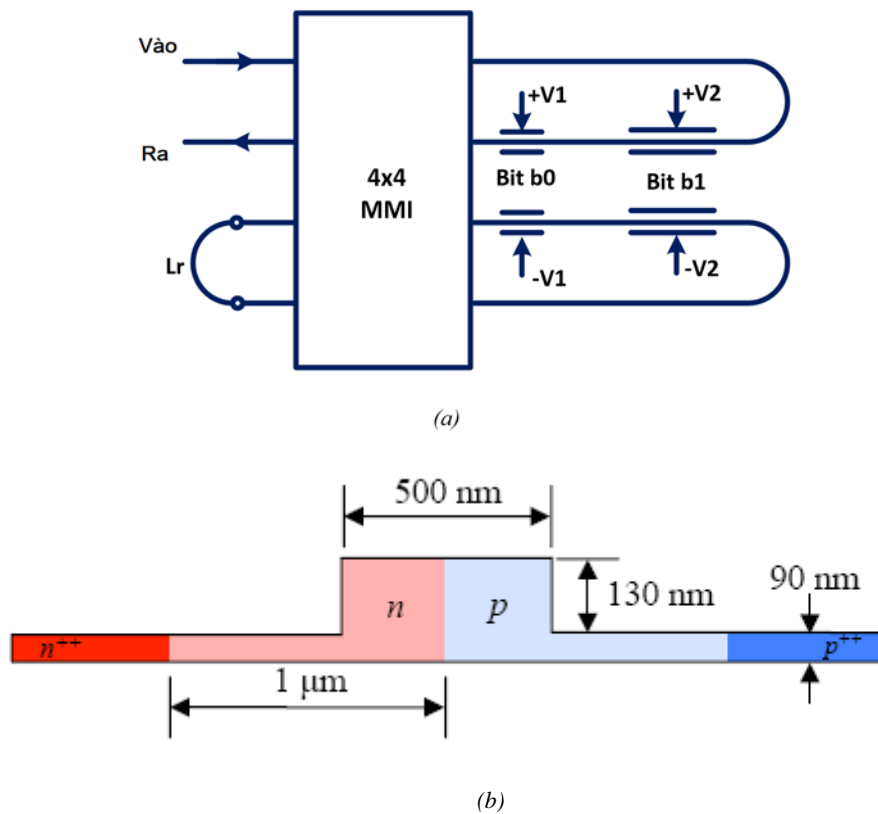
Hình 4.13. Chip máy tính Blue Gene Q của IBM

Một trong những cách tiếp cận quan trọng nhất được sử dụng cho các kết nối quang được sử dụng trong trung tâm dữ liệu và các hệ thống tính toán hiệu suất cao là sử dụng các hệ thống điều chế đa cấp như PAM hoặc QAM [178] [179].

Điều chế 4-PAM là một trong những sơ đồ điều chế được sử dụng nhiều nhất trong trung tâm dữ liệu. Trong những năm gần đây, có hai cách tiếp cận để thực hiện các sơ đồ điều chế PAM-4 quang học. Ví dụ, bộ vi cộng hưởng [180] [181] [182] [183] [184] [185] hoặc MZI với nhiều điện cực [186] [187] [188] [164] có thể được sử dụng để điều chế 4-PAM. Tuy nhiên, các cấu trúc này dựa trên cấu trúc MZI, do đó chúng có diện tích lớn, dung sai chế tạo thấp và rất nhạy cảm với sai số chế tạo.

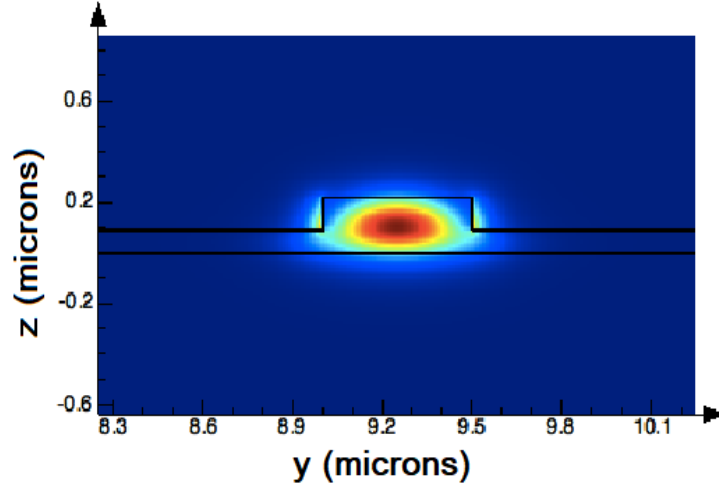
Do đó, trong nghiên cứu này, nghiên cứu sinh đề xuất một kiến trúc mới thực hiện điều chế 4 mức biên độ xung (PAM-4) ứng dụng cho các hệ thống kết nối quang và các mạng trung tâm dữ liệu lớn để giải quyết hạn chế trên. Kết quả chỉ ra rằng công suất tiêu thụ của cấu trúc là rất nhỏ so với cấu trúc thông thường. Ngoài ra, hai bộ dịch pha được sử dụng và hai bit dữ liệu sẽ điều khiển bộ dịch pha với chiều dài của ống dẫn sóng cộng hưởng vòng cực ngắn, do đó có thể đạt được một thiết bị rất nhỏ gọn.

Sơ đồ được đề xuất cho tín hiệu PAM-4 sử dụng bộ ghép 4x4 MMI được thể hiện trong Hình 4.14 (a). Cấu trúc sử dụng hai phân đoạn dịch pha tiếp giáp PN, sử dụng hiệu ứng phân tán plasma trong ống dẫn sóng silic. Cấu trúc của ống dẫn sóng silic quang học và bộ dịch pha PN được thể hiện trong Hình 4.14 (b). Sự thay đổi trong chỉ số khúc xạ được mô tả bởi mô hình Soref và Bennett [165].



Hình 4.14. (a) Sơ đồ tín hiệu PAM-4 dựa trên bộ ghép 4x4 MMI và (b) bộ dịch pha PN junction với độ lệch dự trữ và các thông số cấu trúc của ống dẫn sóng

Mode của ống dẫn sóng quang học ở bước sóng 1550nm được thể hiện trong Hình 4.15, trong đó chiết suất hiệu dụng là $n_{eff} = 2,612016$ sử dụng phương pháp EME.

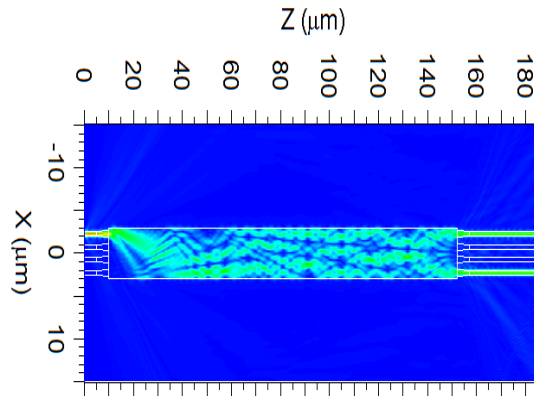


Hình 4.15. Mode được tính bằng phương pháp EME

Công suất truyền của thiết bị được đề xuất có thể được điều chế từ 0 theo lý thuyết đến một đơn vị bằng cách thay đổi độ lệch pha ở hai nhánh bên phải của Hình 4.15 (a), $\Delta\phi$, giữa $2\sin^{-1}(\alpha)$ và π với kết nối trực tiếp L_r .

Bằng cách phân đoạn chiều dài của bộ di pha thành L_1 và L_2 , với $L_2 = 2L_1$ với điện áp V_1 và V_2 tương ứng trong Hình 4.13, điều chế quang đa cấp có thể đạt được. Giả thiết rằng bộ dịch pha với chiều dài L_1 đối với LSB bit và L_2 đối với MSB bit của các bit dữ liệu đầu vào b_1b_0 .

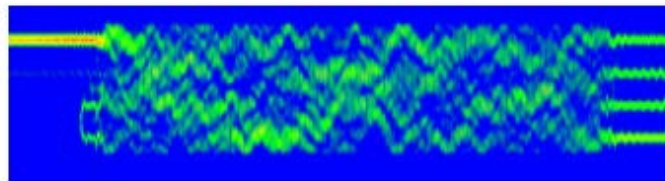
Bằng cách sử dụng phương pháp truyền lan mode, chiều dài của bộ ghép MMI 4x4 với chiều rộng W_{MMI} là $L_{MMI} = \frac{3L}{2}$ [134]. Sau đó, bằng cách sử dụng mô phỏng BPM, kết quả đã chỉ ra rằng chiều rộng của MMI tối ưu là $W_{MMI} = 6\mu\text{m}$ cho thiết bị nhỏ gọn và hiệu suất cao. Chiều dài tính toán của bộ ghép 4x4 MMI được tìm thấy là $L_{MMI} = 141,7 \mu\text{m}$ như được chỉ ra trong Hình 4.16 khi tín hiệu đầu vào ở cổng 1.



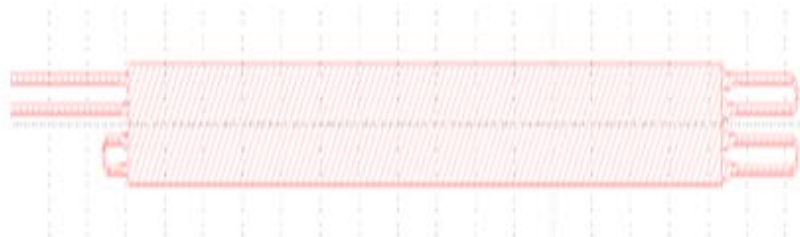
(b)

Hình 4.16. Công suất truyền qua MMI 4x4 ở độ dài tối ưu $141.7 \mu\text{m}$, tín hiệu đầu vào ở cổng 1

Mô phỏng FDTD của toàn bộ cấu trúc được thể hiện trong Hình 4.17 (a). Luận án tính đến sự phân tán bước sóng của ống dẫn sóng silic. Một xung ánh sáng Gauss có độ rộng xung 15fs được phát từ đầu vào để khảo sát các đặc tính truyền của thiết bị. Kích thước $\Delta x = \Delta y = 2\text{nm}$ và $\Delta z = 2\text{nm}$ được chọn trong mô phỏng. Thiết kế mask (mặt nạ) của thiết bị được thể hiện trong Hình 4.17 (b). Các thông số được tính toán của thiết kế đề xuất cho thấy rằng một thiết bị rất nhỏ gọn có thể đạt được.



(a)



(b)

Hình 4.17. Mô phỏng FDTD của toàn bộ thiết bị khi tín hiệu đầu vào ở cổng 1

Bằng cách sử dụng phương pháp ma trận truyền, công suất chuẩn hóa đầu ra được viết dưới dạng:

$$T = \frac{P_{out}}{P_{in}} = \frac{\alpha^2 + \cos^2\left(\frac{\Delta\phi}{2}\right) - 2\alpha \left| \cos\left(\frac{\Delta\phi}{2}\right) \right| \cos(\theta)}{1 + \alpha^2 \cos^2\left(\frac{\Delta\phi}{2}\right) - 2\alpha \left| \cos\left(\frac{\Delta\phi}{2}\right) \right| \cos(\theta)} \quad (4.8)$$

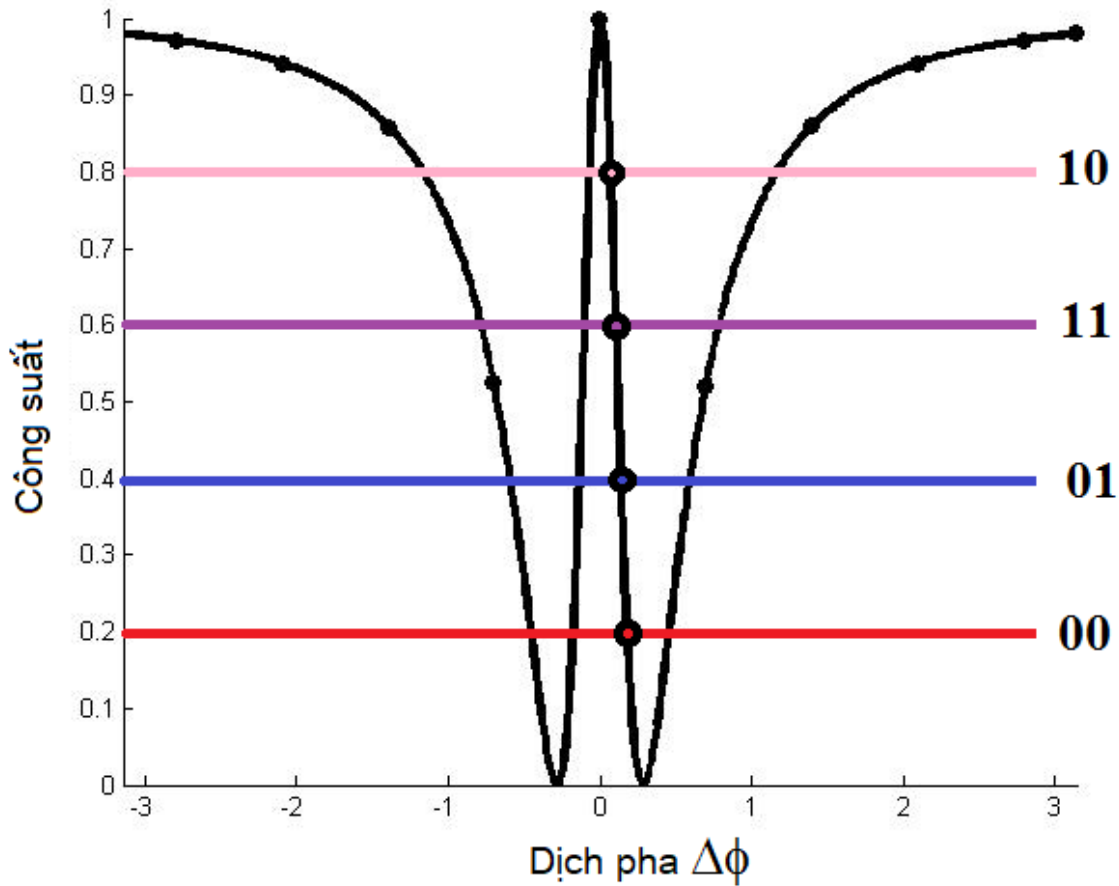
Hệ số suy hao đường truyền α là $\alpha = \exp(-\alpha_0 L_r)$, với $L_r = \pi R$ là chiều dài của ống dẫn sóng trong Hình 4.14, R là bán kính của bộ vi cộng hưởng và $\alpha_0 (dB/cm)$ là hệ số suy hao truyền dẫn. $\theta = \beta_0 L_r$ là pha tích lũy trên ống dẫn sóng, với $\beta_0 = 2\pi n_{eff} / \lambda$, λ là bước sóng quang và n_{eff} là chiết suất hiệu dụng.

Tại cộng hưởng, $\theta = 2m\pi$, $\cos(\theta) = 1$, m là một số nguyên, hàm truyền có thể được biểu diễn bằng [189]:

$$T = \frac{P_{out}}{P_{in}} = \frac{\left| \alpha - \left| \cos\left(\frac{\Delta\phi}{2}\right) \right| \right|^2}{\left| 1 - \alpha \left| \cos\left(\frac{\Delta\phi}{2}\right) \right| \right|^2} \quad (4.9)$$

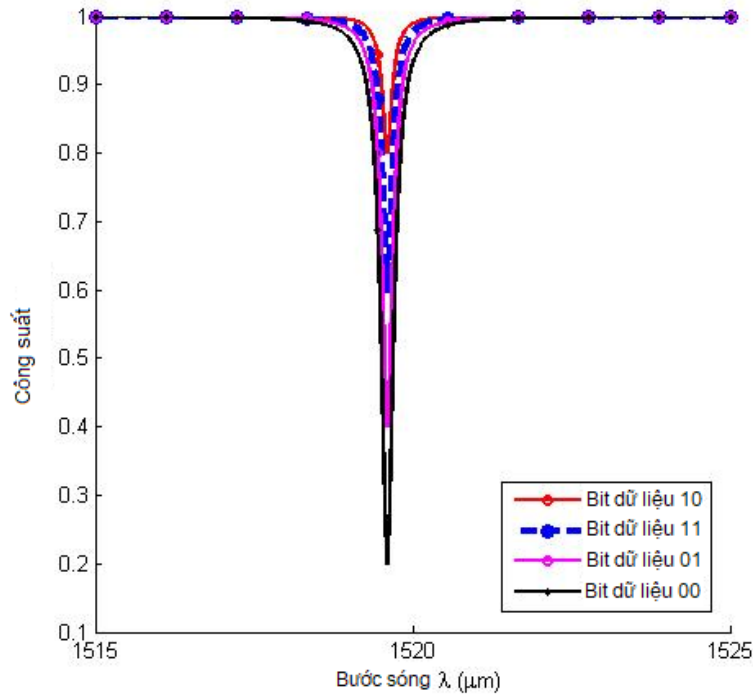
Truyền dẫn chuẩn hóa của thiết bị khi cộng hưởng khi hệ số suy hao $\alpha = 0.995$ được thể hiện trong Hình 4.18. Kết quả này cho thấy mức tiêu thụ điện năng để đạt được PAM-4 nhiều cấp độ thấp hơn nhiều so với cấu trúc thông thường dựa trên bộ điều chế Mach Zehnder.

Kết quả mô phỏng trong Hình 4.18 cho thấy rằng đối với các bit dữ liệu 00, 01, 11, 10, tổng độ lệch pha giữa hai cánh của Hình 4.14 tương ứng phải là $0,0558\pi$, $0,0428\pi$, $0,0323\pi$ và $0,0215\pi$.



Hình 4.18. Truyền dẫn tại cộng hưởng với các bộ dịch pha khác nhau

Hình 4.19 cho thấy các truyền dẫn chuẩn hóa tại các luồng dữ liệu đầu vào là 00, 01, 11, 10. Các đầu ra chuẩn hóa ở bước sóng cộng hưởng lần lượt là 0,2, 0,4, 0,6 và 0,8. Trong trường hợp cấu trúc truyền dẫn gương (mirror) ở góc của ống dẫn sóng ở phía bên trái của Hình 4.14, bán kính vòng 3 μm có thể được sử dụng. Kết quả là có thể đạt được dải quang phổ tự do FSR (Free Spectral Range) rất cao 72nm với các cấu trúc đề xuất này. Điều này có nghĩa là cách tiếp cận của luận án có thể cung cấp băng thông rất cao và nó cho phép sử dụng nhiều kênh trong cùng một ống dẫn sóng. Do đó, nó rất hữu ích cho các bộ vi xử lý đa lỗi, hệ thống máy tính và trung tâm dữ liệu hiệu suất cao trong tương lai.

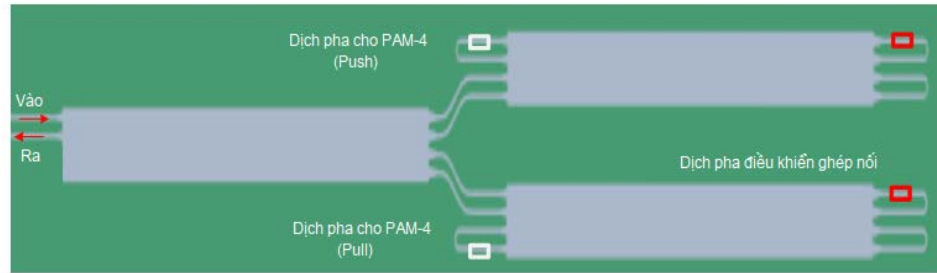


Hình 4.19. Truyền dẫn của cấu trúc đề xuất cho các bit dữ liệu đầu vào 00, 01, 10, 11

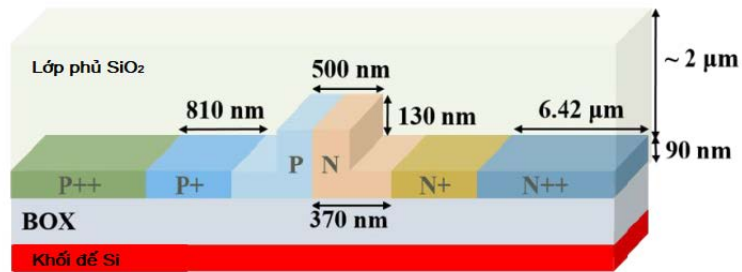
4.3 Tạo tín hiệu PAM-4 không chirp

Trong nghiên cứu này, nghiên cứu sinh trình bày một kiến trúc mới để thực hiện hệ thống tạo tín hiệu PAM-4 bằng cách sử dụng các bộ ghép nối 4x4 MMI ghép nối tiếp không chirp (without chirp). Hai bộ ghép MMI 4x4 hoạt động như hai bộ vi cộng hưởng với tỷ lệ ghép nối có thể kiểm soát được. Bộ vi cộng hưởng được điều khiển hoạt động trong vùng ghép nối. Hai bộ dịch pha ở các ống dẫn sóng vòng được sử dụng trong cấu hình push-pull để có được tham số không chirp. Do đó, có thể giảm đáng kể mức tiêu thụ điện năng so với kiến trúc MZI thông thường. Luận án chỉ ra rằng có thể đạt được băng thông và dung sai chế tạo của cấu hình đề xuất so với cấu trúc thông thường. Hình 4.20(a) thể hiện một sơ đồ của kiến trúc PAM-4 dựa trên các 4x4 MMI ghép nối tiếp. Cấu trúc của bộ dịch pha được sử dụng cho thế hệ PAM-4 và điều khiển khớp nối quan trọng cho bộ vi cộng hưởng được thể hiện trong Hình 4.20 (b). Cấu trúc ống dẫn sóng với lõi Si không pha tạp P và vùng N được thể hiện trong Hình 4.20 (c).

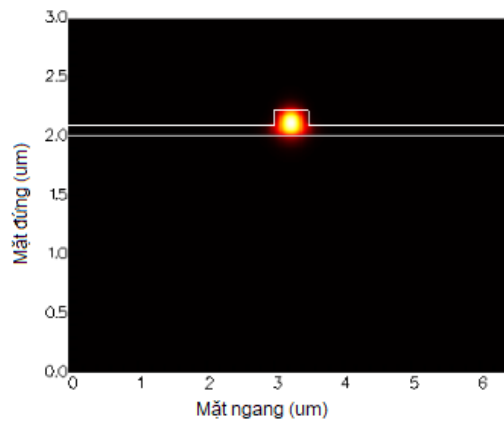
Một bộ cộng hưởng vi mô có bán kính $15\ \mu\text{m}$ được sử dụng. Ống dẫn sóng có chiều rộng $500\ \text{nm}$ và chiều cao $220\ \text{nm}$, và nằm trên một phiến $90\ \text{nm}$ cho một chế độ hoạt động đơn [184].



(a)



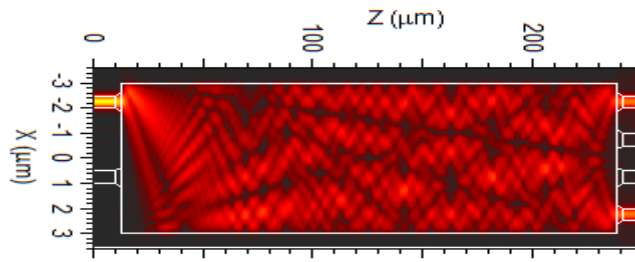
(b)



(c)

Hình 4.20. (a) Sơ đồ tạo tín hiệu PAM-4 dựa trên bộ ghép 4×4 MMI nối tiếp và (b) Hình chiếu cắt ngang của bộ dịch pha (c) chế độ cơ bản của ống dẫn sóng sườn SOI

Bằng cách lựa chọn thích hợp chiều rộng, chiều dài và vị trí của các ống dẫn sóng đầu vào cho bộ ghép MMI 2x4 trong Hình 4.20 (a) tại vị trí trong trục x $x_i = (i + \frac{1}{2}) \frac{W_{MMI}}{N}$ ($i=0, 1, 2, 3$), W_{MMI} là chiều rộng của bộ ghép MMI. Chúng ta có thể tìm thấy cấu trúc 2x4 MMI để đạt được đặc tính đặc biệt [190]. Bằng cách sử dụng phương pháp truyền lan, chiều rộng và chiều dài của bộ ghép MMI được tìm thấy là 6 μm và 225 μm tương ứng [134]. Hình 4.21 mô phỏng sự lan truyền trường qua bộ ghép 2x4 MMI ở độ dài tối ưu cho tín hiệu đầu vào tại cổng 1.



Hình 4.21. Truyền trường qua bộ ghép 2x4 MMI ở chiều rộng và chiều dài tối ưu

Bộ ghép 4x4 MMI độ dài $L_{MMI} = \frac{3L_{\pi}}{2}$, với L_{π} là chiều dài phách của MMI, được mô tả bởi ma trận truyền sau [191]

$$S = 0.5 \begin{pmatrix} 1-j & 0 & 0 & 1+j \\ 0 & 1-j & 1+j & 0 \\ 0 & 1+j & 1-j & 0 \\ 1+j & 0 & 0 & 1-j \end{pmatrix} \quad (4.10)$$

Biên độ đầu ra và đầu vào tại 4 cổng của ống dẫn sóng đa mode 4x4 có thể được biểu thị bằng:

$$\begin{pmatrix} E_{out1} \\ E_{out2} \\ E_{out3} \\ E_{out4} \end{pmatrix} = 0.5 \begin{pmatrix} 1-j & 0 & 0 & 1+j \\ 0 & 1-j & 1+j & 0 \\ 0 & 1+j & 1-j & 0 \\ 1+j & 0 & 0 & 1-j \end{pmatrix} \begin{pmatrix} E_{in1} \\ E_{in2} \\ E_{in3} \\ E_{in4} \end{pmatrix} \quad (4.11)$$

trong đó $E_{in,i}$ ($i=1, 2, 3, 4$) và $E_{out,j}$ ($j=1, 2, 3, 4$) lần lượt là các biên độ phức tại các cổng đầu vào và cổng đầu ra 1-4. Từ phương trình (4.10) và (4.11), chúng ta có thể tính toán các mối quan hệ giữa biên độ đầu vào và đầu ra của Hình 4.18 như sau:

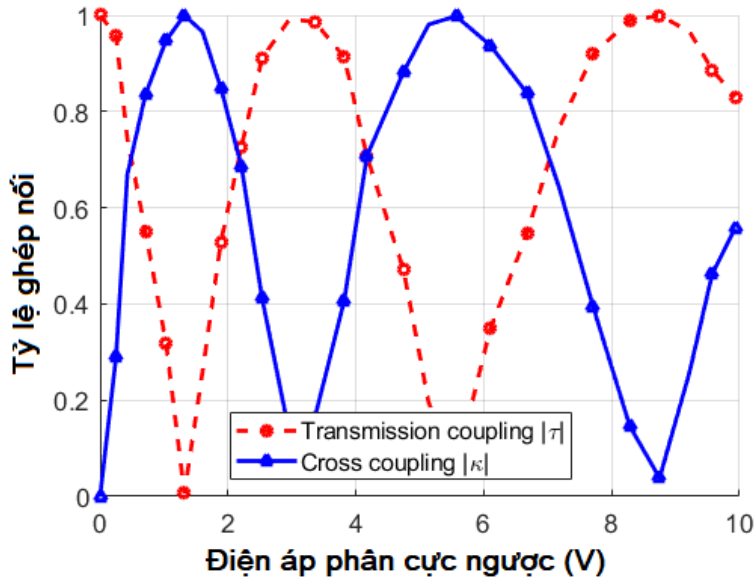
$$\begin{pmatrix} E_{in1} \\ E_{in4} \end{pmatrix} = \exp(j\frac{\Delta\varphi}{2}) \begin{pmatrix} \tau & j\kappa \\ j\kappa & \tau \end{pmatrix} \begin{pmatrix} E_{in1} \\ E_{in4} \end{pmatrix} \quad (4.12)$$

trong đó $M = \exp(j\frac{\Delta\varphi}{2}) \begin{pmatrix} \tau & j\kappa \\ j\kappa & \tau \end{pmatrix}$, $\tau = \cos(\frac{\Delta\varphi}{2})$, and $\kappa = \sin(\frac{\Delta\varphi}{2})$ là tỷ lệ ghép nối của bộ vi cộng hưởng. Di pha $\Delta\varphi$ được tạo ra bởi kết nối PN, có thể được tính bằng [192]:

$$\Delta\varphi = \frac{2L_{PS}}{\lambda} \Delta n_{eff}(V), \quad (4.13)$$

Với L_{PS} là chiều dài của bộ dịch pha và $\Delta n_{eff}(V)$ là sự thay đổi của chiết suất hiệu dụng trên điện áp vào.

Kết quả, tỷ lệ ghép nối của bộ cộng hưởng vi mạch dựa trên bộ ghép 4x4 MMI trong Hình 4.18 (a) có thể được điều khiển bởi bộ dịch pha như trong Hình 4.22.



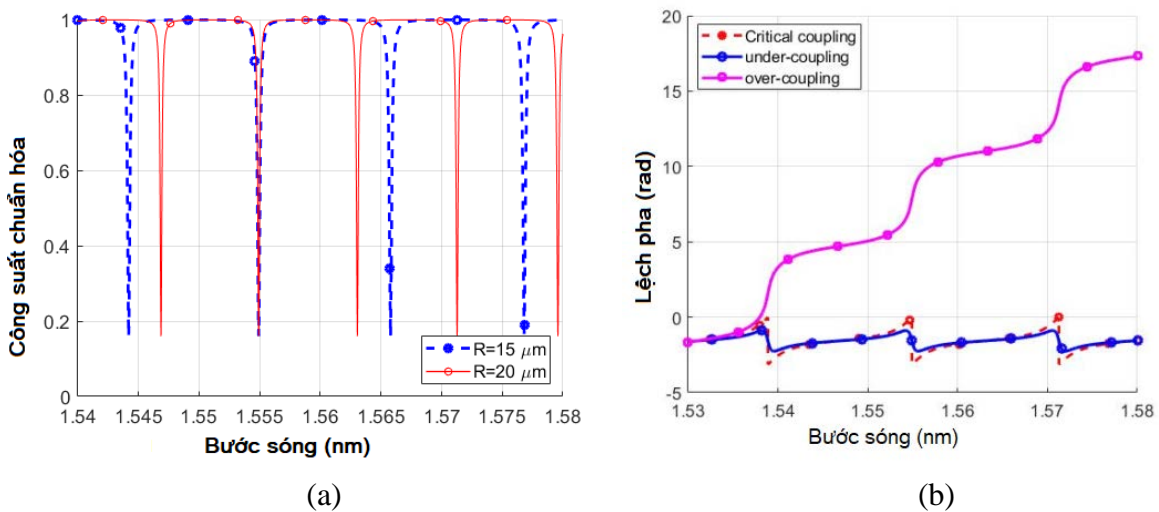
Hình 4.22. Kiểm soát tỷ lệ ghép nối bộ vi cộng hưởng dựa trên bộ dịch pha PN

Bộ ghép 4x4 MMI với ống dẫn sóng phản hồi hoạt động như hai bộ vi cộng hưởng được hiển thị trong Hình 4.23 [117]. Ở đây chúng ta sử dụng hai bộ vi cộng hưởng vòng giống hệt nhau. Như vậy, tỷ lệ ghép nối, hệ số suy hao và bán kính là như nhau.

Trường đầu ra và trường đầu vào của một bộ vi cộng hưởng là:

$$E_{t1} = E_{i1} \frac{-\alpha + \tau e^{-j\phi_1}}{-\alpha \tau^* + e^{-j\phi_1}}, \quad (4.14)$$

Để tích lũy dịch pha của bộ vi cộng hưởng đơn vào quá trình truyền dẫn tổng thể của thiết bị, cần phải thiết kế cẩn thận cả hai bộ vi cộng hưởng hoạt động ở điều kiện quá ghép nối [193]. Truyền dẫn của thiết bị và dịch pha của bộ vi cộng hưởng với bán kính 15 μm và 16 μm được thể hiện trong Hình 4.23 cho ba điều kiện ghép nối.



Hình 4.23. (a) Truyền dẫn và (b) dịch pha đối với các trường hợp khác nhau của bộ vi cộng hưởng đơn làm việc ở các điều kiện khác nhau

Trong Hình 4.20 (a), bằng cách áp dụng tín hiệu điện nhị phân không trở về không (NRZ) với các mức điện áp V_0, V_1, V_2, V_3 cho bộ dịch pha trong cấu hình push-pull, các bit dữ liệu 00, 01, 10, 11 thu được trong công suất đầu ra. Mô hình hóa có thể được sử dụng để tìm ra các điện áp cần thiết để đạt được 4 mức công suất cách đều nhau, đồng thời khai thác toàn bộ dải động của truyền tải đầu ra:

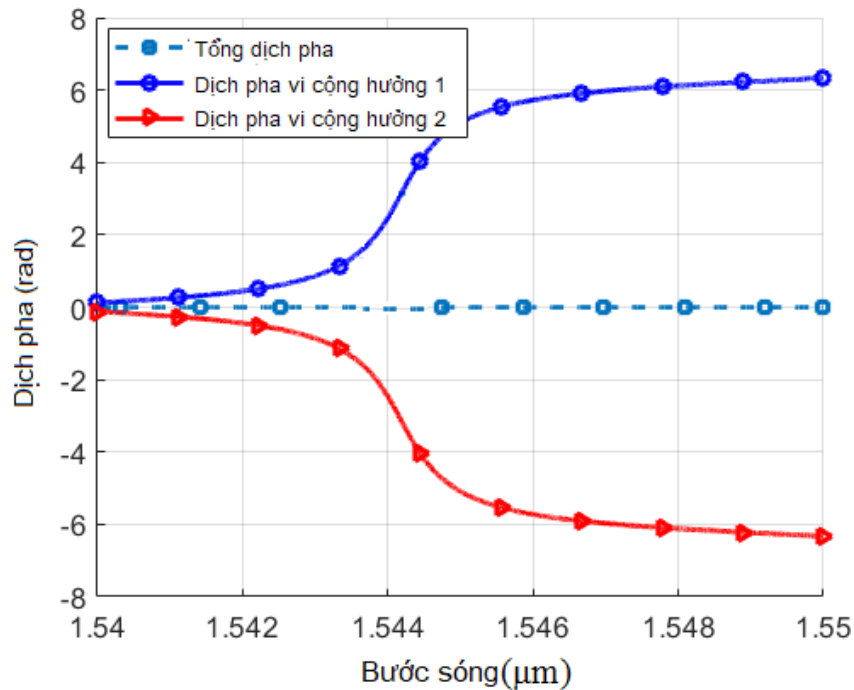
$$E_{out} = \frac{1}{2} E_{in} \left(\frac{-\alpha + \tau e^{-j\phi_1}}{-\alpha\tau^* + e^{-j\phi_1}} + \frac{-\alpha + \tau e^{-j\phi_2}}{-\alpha\tau^* + e^{-j\phi_2}} \right), \quad (4.15)$$

Áp dụng các mức tín hiệu dữ liệu 0, 1, 2, 3 trên dịch pha của bộ ghép 4x4 MMI 1, mức dữ liệu đảo ngược 3, 2, 1, 0 được áp dụng đồng thời trên dịch pha của bộ ghép 4x4 MMI 2 để đạt được hoạt động push-pull của thiết bị. Chirp của bộ điều chế được ước tính bằng tham số chirp [194]

$$CP = 2I \left(\frac{\partial \phi_{total}}{\partial t} \right) / \left(\frac{\partial I}{\partial t} \right) = 2I \left(\frac{\partial \phi_{total}}{\partial V} \right) / \left(\frac{\partial I}{\partial V} \right), \quad (4.16)$$

trong đó V là điện áp áp dụng, ϕ_{total} là tổng pha trong cấu trúc, I là cường độ quang điều biến, cả hai đều là hàm thời gian t .

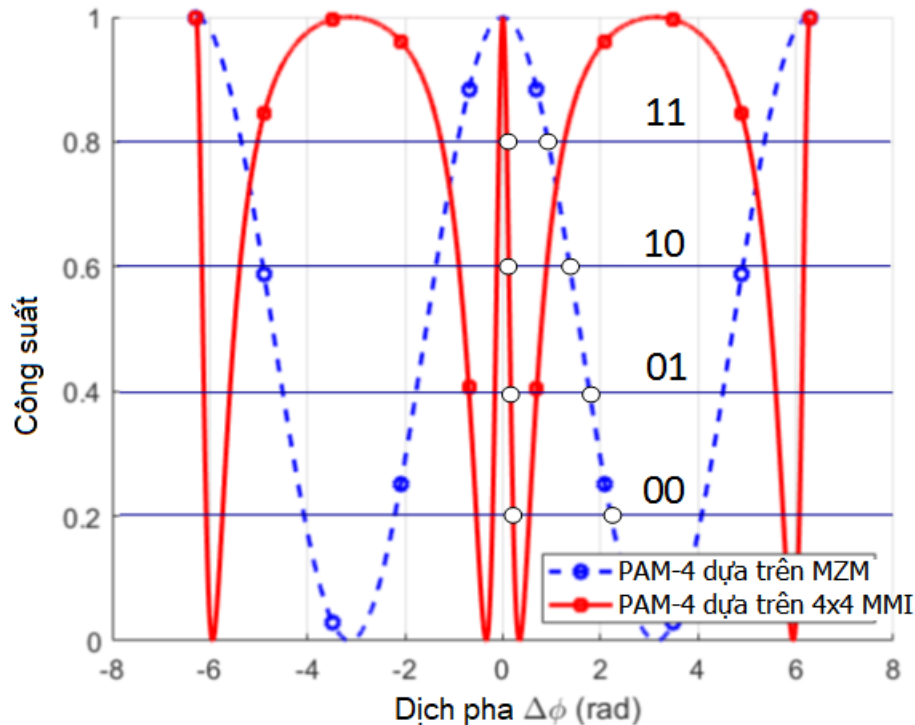
Hình 4.24 mô phỏng đáp ứng pha của cấu trúc được đề xuất bởi luận án. Kết quả mô phỏng cho thấy rằng tất cả các pha đều bằng không, bất kể giá trị dữ liệu đầu vào nào được áp dụng. Kết quả là, cấu trúc được đề xuất có khả năng điều chế zero-chirp.



Hình 4.24. Đáp ứng pha của linh kiện zero chirp được đề xuất

Hình 4.25 là kết quả mô phỏng của công suất chuẩn hóa đầu ra của cấu trúc trong luận án so với cấu trúc MZM truyền thống. Bằng cách kiểm soát tỷ lệ hệ số ghép nối với hoạt động của thiết bị tại vùng được ghép, chúng ta có thể đạt công suất nhỏ để có được các mức PAM-4 mong muốn và có thể đạt được truyền dẫn hình chữ M.

Để so sánh mức tiêu thụ điện năng với cấu trúc MZI thông thường, kết quả dựa trên hình chữ M được trình bày trong nghiên cứu này được so sánh với Bộ điều chế Mach-Zehnder thông thường (MZM). Kết quả này cho thấy mức tiêu thụ điện năng để đạt được các mức PAM-4 là thấp hơn rất nhiều so với thể hệ PAM-4 dựa trên MZM, đồng thời cung cấp băng thông cao hơn và dung sai chế tạo lớn hơn so với cấu trúc thông thường dựa trên MZM. Kết quả mô phỏng được hiển thị cho các bit dữ liệu 00, 01, 10, 11, di pha đối với cấu hình push-pull trong Hình 4.18 (a) phải là $0,08\pi$, $0,12\pi$, $0,16\pi$ và $0,21\pi$ (rad) tương ứng. Để đạt được một vùng tuyến tính, bốn công suất đầu ra chuẩn hóa ở 0,2, 0,4, 0,6 và 0,8 được chọn.

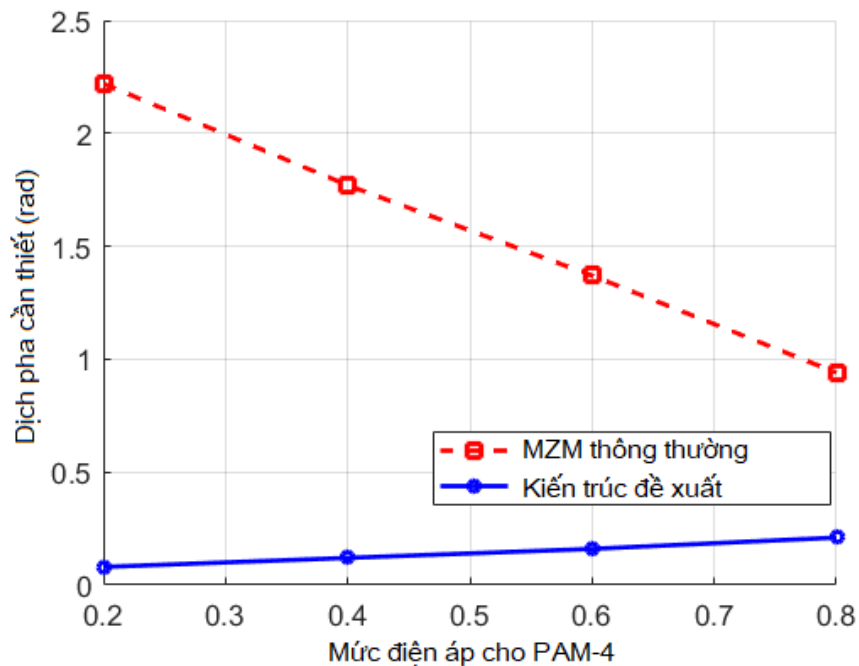


Hình 4.25. So sánh MZM và kiến trúc thể hệ PAM-4 được đề xuất trong nghiên cứu

Các dịch pha cần thiết để đạt được bốn mức tín hiệu PAM-4 được thể hiện trong Bảng 4.2 và Hình 4.26. Hình 4.26 cho thấy các dịch pha cần thiết để có được bốn mức PAM-4 khi sử dụng cấu trúc đề xuất và MZM thông thường. Sự dịch pha giảm từ 4 đến 28 lần với bốn mức PAM-4 tương ứng, so với sự dịch pha cần thiết khi sử dụng MZM.

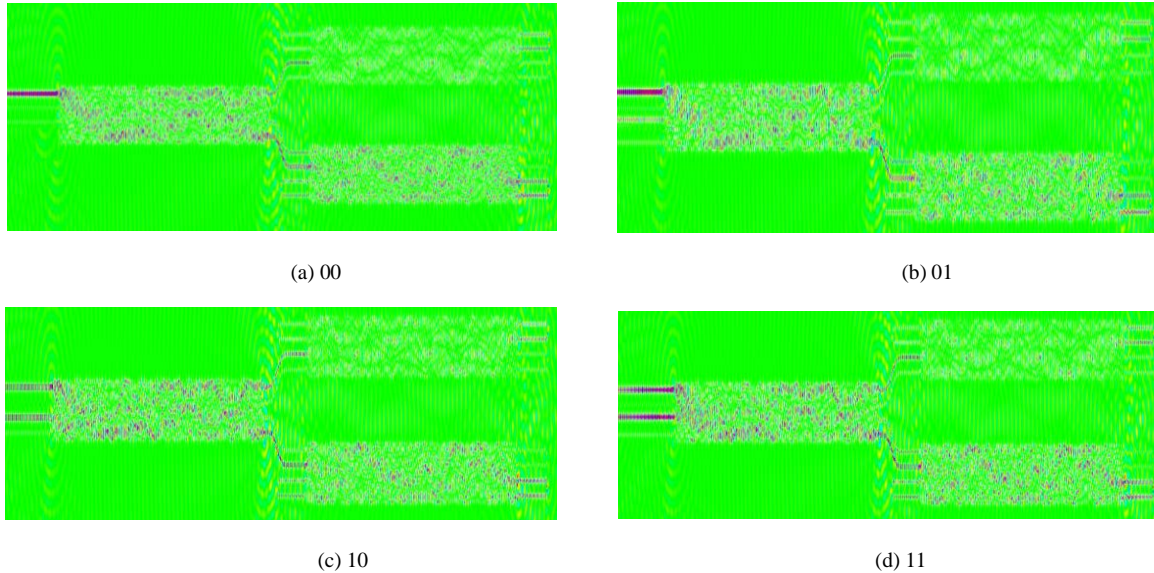
Bảng 4.2. Các mức PAM-4 dựa trên hai bộ dịch pha được phân đoạn

Bit	Điện áp yêu cầu cho các mức PAM-4	Dịch pha cần thiết cho MZM	Dịch pha ở bộ cộng hưởng 1 (Push)	Dịch pha ở bộ cộng hưởng 2 (Pull)
00	V0 (0,2)	2,23 rad	0,08 rad	0,21 rad
01	V1 (0,4)	1,77 rad	0,12 rad	0,16 rad
10	V2 (0,6)	1,37 rad	0,16 rad	0,12 rad
11	V3 (0,8)	0,92 rad	0,21 rad	0,08 rad



Hình 4.26. Dịch pha cần thiết cho các mức PAM-4 (chuẩn hóa)

Mô phỏng FDTD của toàn bộ thiết bị được thể hiện trong Hình 4.27 khi bốn mức của PAM-4, lần lượt là 00, 01, 10 và 11 được đưa vào các bộ dịch pha đã phân đoạn, tương ứng. Trong các mô phỏng FDTD, một xung ánh sáng Gauss có độ rộng xung 15 fs được phát từ đầu vào để khảo sát các đặc tính truyền của thiết bị. Kích thước lưới được sử dụng trong FDTD là $\Delta x = \Delta y = 5 \text{ nm}$ và $\Delta z = 10 \text{ nm}$. Các tham số bán kính vòng, chiều rộng ống dẫn sóng đơn mode và chiều cao của ống dẫn sóng lần lượt là $15 \mu\text{m}$, 500 nm và 220 nm . Các mô phỏng cho thấy có sự thống nhất giữa các tính toán lý thuyết và mô phỏng FDTD. Các mức công suất chuẩn hóa ở đầu ra là khoảng 0,2, 0,4, 0,6 và 0,8 tương ứng. Đối với cấu trúc này, đầu vào và đầu thu laser có thể được thiết kế ở cùng một phía. Điều này đặc biệt thích hợp cho các ứng dụng mạch tích hợp.



Hình 4.27. Mô phỏng FDTD của toàn bộ thiết bị khi tín hiệu đầu vào ở cổng 1

4.4 Kết luận Chương 4

Trong chương này, nghiên cứu sinh đã trình bày một kiến trúc mới để đạt được tín hiệu PAM-4 chỉ sử dụng một bộ ghép 3×3 MMI dựa trên công nghệ CMOS, đề xuất hai phương pháp mới thực hiện điều chế PAM-4 ứng dụng cho các hệ thống kết nối quang và các mạng trung tâm dữ liệu lớn. Phương pháp được đề xuất có thể cung cấp dung sai chế tạo tốt và băng thông cao, đặc biệt thích hợp cho các hệ thống phức tạp

với một số kênh tích hợp trên chip. Một cấu trúc điều chế sử dụng chỉ một bộ ghép giao thoa đa mode 4 cổng vào, ra kết hợp với hai bộ dịch pha cho 2 bits thông tin. Ở cấu trúc còn lại, cấu hình push-pull được sử dụng ở hai bộ vi cộng hưởng vòng, do đó có thể đạt được zero chirp. Cấu trúc có thể tạo ra hình dạng giống như Fano và nghiên cứu sinh sử dụng đặc tính này để giảm mức tiêu thụ điện năng xuống mức rất thấp, với mức thấp hơn từ 4 đến 28 lần so với thế hệ PAM-4 dựa trên Mach Zehnder Modulator (MZM), tương ứng.

Các bộ điều chế mới có ưu điểm kích thước nhỏ, băng thông cao. Toàn bộ cấu trúc của bộ điều chế có thể thiết kế, chế tạo bằng công nghệ vi mạch VLSI ứng dụng vào các lĩnh vực tính toán hiệu năng cao và các hệ thống đa lõi và trung tâm dữ liệu tốc độ cao. Các kết quả của Chương 4 được công bố trong các công trình CT7, CT8, CT9, và CT10.

KẾT LUẬN

Luận án đã nghiên cứu, đề xuất thiết kế mới cổng logic toàn quang NAND, XNOR, OR, XOR sử dụng một cấu trúc MMI duy nhất, giúp cho giảm kích thước, suy hao thấp, hiệu năng hoạt động cao, từ đó có khả năng kết nối để tạo thành các mạch logic phức tạp xử lý tín hiệu toàn quang trong các module tính toán quang của hệ thống tính toán hiệu năng cao và trung tâm dữ liệu. Luận án đã thiết kế mới được cấu trúc tích hợp quang tạo ra hiệu ứng Fano và EIT dùng cho bộ nhớ quang, làm nhanh và làm chậm ánh sáng. Cấu trúc này cho phép giam giữ ánh sáng để lưu thông tin trong miền toàn quang. Cuối cùng luận án đã đề xuất 2 phương pháp mới để tạo tín hiệu điều chế 2 mức PAM-4 ứng dụng cho truyền dẫn trên chip và giữa các board, giữa các máy chủ kết nối quang với ưu điểm nâng tốc độ truyền dẫn, giải quyết được vấn đề nghẽn băng thông tính toán.

1. Các đóng góp của luận án

Hệ thống kết nối quang, kết nối các hệ vi xử lý và tính toán hiệu năng cao, tính toán trong các trung tâm dữ liệu được thực hiện trong miền quang ở 3 lớp kết nối nhau từ thực hiện xử lý tín hiệu gói tin quang (nhận dạng, định tuyến, thực hiện xử lý header,...) thông qua các cổng logic quang; thực hiện điều chế nhiều mức để truyền dẫn hiệu quả gói tin quang, nâng cao được băng thông mà vẫn đảm bảo chất lượng (điều chế PAM-4), và thực hiện lưu trữ, trữ gói tin quang trong mạng. Luận án nghiên cứu giải quyết 3 vấn đề kết nối trong mạng quang được ứng dụng trong các trung tâm dữ liệu thế hệ mới, các hệ thống tính toán hiệu năng cao trong miền quang.

Trên cơ sở nghiên cứu đó, luận án có 3 đóng góp chính:

1. Đã phân tích và thiết kế được một số cổng logic toàn quang thực hiện chức năng NAND, XNOR, XOR và OR sử dụng duy nhất cấu trúc tích hợp 2×2 và 4×4 MMI kết nối với nhau sử dụng hiệu ứng giao thoa và plasmonic, ứng dụng trong các node mạng trên chip và board của hệ thống kết nối quang.

Việc thực hiện các cổng logic toàn quang trước đây sử dụng hiệu ứng phi tuyến trong sợi quang hoặc hiệu ứng phi tuyến trong ống dẫn sóng quang. Các phương pháp

này yêu cầu công suất cao, mạch phức tạp với kích thước lớn và hệ thống điều khiển phức tạp nên không phù hợp với tích hợp để tạo thành các mạch logic thực hiện các chức năng tính toán phức tạp như nhận dạng tiêu đề quang (header processing), các khối số học và logic học (ALU) cho máy tính quang, các bài toán định tuyến gói tin quang,...Luận án nghiên cứu và đề xuất thực hiện cổng logic toàn quang sử dụng hiệu ứng giao thoa đa mode trong ống dẫn sóng đa mode MMI và hiệu ứng plasmonic trên ống dẫn sóng lai ghép để giảm kích thước mạch mà không cần sử dụng hiệu ứng phi tuyến. Cấu trúc nhỏ gọn, tích hợp được trên vi mạch sử dụng công nghệ CMOS. Toàn bộ cổng logic quang chỉ cần dựa vào ống dẫn sóng đơn và đa mode MMI. Giải pháp thiết kế mới này có ưu điểm nhỏ gọn, suy hao thấp, tiêu thụ ít công suất, hoàn toàn phù hợp với công nghệ chế tạo vi mạch hiện nay. Do vậy có thể được kết nối nhiều tầng để tạo ra các mạch logic của máy tính quang trong tương lai. Nhược điểm của cấu trúc đề xuất là khi cần ghép nhiều tầng để tạo mạch logic tổ hợp cỡ lớn cần sử dụng thêm bộ lặp lại tín hiệu hoặc khuếch đại tín hiệu trực tiếp trong miền quang thông qua các bộ ghép và khuếch đại quang.

2. Đã phân tích, thiết kế được cấu trúc tạo cộng hưởng Fano và EIT sử dụng MMI kết hợp vi cộng hưởng và cấu trúc Sagnac ứng dụng trong làm nhanh và làm chậm ánh sáng và tạo bộ trễ/đệm quang, tăng/giảm được thời gian trễ để xử lý, làm trễ tín hiệu quang ứng dụng trong các node định tuyến và xử lý tiêu đề gói tin quang truyền dẫn trên chip và giữa các hệ thống kết nối, tính toán hiệu năng cao trong miền quang.

Việc giam giữ ánh sáng để thực hiện chức năng "nhớ" RAM và ROM trong miền quang trước đây thường sử dụng các cấu trúc tinh thể quang với các lỗ khí hoặc sử dụng ghép các tầng bộ ghép có hướng có phản hồi. Cả hai giải pháp này đều yêu cầu kỹ thuật chế tạo vi mạch phức tạp để đảm bảo được các hệ số ghép chính xác. Đồng thời thời gian giam giữ ánh sáng thường thấp do ánh sáng cấu trúc mạch chỉ sử dụng 1 lần cho ánh sáng truyền qua. Để giải quyết vấn đề này, luận án thiết kế và phân tích một cấu trúc mới để tăng thời gian giam giữ và nhớ ánh sáng sử dụng cấu trúc giao thoa đa mode MMI có phản hồi kết hợp với bộ phản xạ Sagnac để tăng thời gian lên gấp 2 so với các cấu trúc được công bố trước đây. Đặc biệt, luận án thiết kế cấu trúc tạo được hiệu ứng Fano và EIT để ứng dụng cho trễ và nhớ quang. Các cấu trúc này có khả năng

tăng thời gian giam giữ ánh sáng, do vậy tăng thời gian đệm để xử lý tín hiệu trong miền toàn quang.

3. Đã thiết kế được 2 bộ tạo tín hiệu PAM-4 so với tín hiệu số OOK (On-Off Keying) truyền thống sử dụng cấu trúc 3x3 MMI và 4x4 MMI nhằm tăng băng thông, tốc độ dữ liệu ứng dụng trong các kết nối quang trong các trung tâm dữ liệu thế hệ mới. Cấu trúc có ưu điểm tích hợp trên chip, từ đó có thể tạo ra được nhiều cổng kết nối trên một board đơn ứng dụng cho các trung tâm dữ liệu và hệ thống tính toán hiệu năng cao trong miền quang.

Luận án đã mở ra hướng nghiên cứu mới về sử dụng hiệu ứng Fano cho điều chế đa mức với độ tuyến tính rất cao so với cấu trúc MZI truyền thống. Đồng thời đã mở ra hướng nghiên cứu về các hiệu ứng quang dựa vào MMI kết hợp với bộ vi cộng hưởng để tạo ra các chức năng quang trên mạch tích hợp như EIT và bộ nhớ quang. Các kết quả này phù hợp và tương thích với công nghệ chế tạo CMOS; thiết kế dựa vào quy trình chuẩn của dịch vụ Foundary, do vậy chỉ còn 1 bước nữa là có thể chế tạo thử nghiệm dùng công nghệ CMOS. Nếu được chế tạo hàng loạt thì giá thành sẽ rẻ. Các kết quả này có thể được ứng dụng trong các hệ thống tính toán hiệu năng cao toàn quang và trong các máy tính lượng tử quang học trong tương lai.

2. Hướng phát triển của luận án

Trên cơ sở các kết quả đạt được, luận án có một số hướng phát triển trong tương lai như:

- Tích hợp các cổng logic quang với các thiết bị chủ động (active devices) để tạo ra các vi mạch logic khả trình FPGA quang [195] [196], các khối số học và logic học ALU quang [197] để xây dựng các hệ thống máy tính quang.

- Thiết kế các bộ nhớ RAM và ROM quang, từ đó xây dựng các CAM (Content Addressable Memory) [198] ứng dụng trong hệ thống tính toán quang trên cơ sở cấu trúc làm nhanh và làm chậm ánh sáng được đề xuất trong luận án.

DANH MỤC CÔNG TRÌNH KHOA HỌC CÔNG BỐ

[CT01] Le Duy Tien, Le Trung Thanh, and Laurence W. Cahill, "Optical Signal Processing Based on 4×4 Multimode Interference Structures", 2018 20th International Conference on Transparent Optical Networks (ICTON), DOI:10.1109/ICTON.2018.8473586, July 2018.

[CT02] Nguyen Thi Hong Loan, Le Duy Tien, Nguyen Anh Tuan, Le Minh Duong, and Le Trung Thanh, "All-Optical XNOR and XOR Logic Gates Based on Ultra-Compact Multimode Interference Couplers Using Silicon Hybrid Plasmonic Waveguides", in Communications, Signal Processing, and Systems, Singapore, Q. Liang, W. Wang, X. Liu, Z. Na, and B. Zhang, Eds., 2022: Springer Singapore, pp. 1072-1079.

[CT03] Nguyen Thi Hong Loan, Le Duy Tien, Nguyen Anh Tuan, and Le Trung Thanh, "Ultra-Compact All-Optical NAND Logic Gates Based on 4×4 MMI Coupler Using Silicon Hybrid Plasmonic Waveguides", in Recent Advances in Electrical and Electronic Engineering and Computer Science, Singapore, Z. Zakaria and S. S. Emamian, Eds., 2022// 2022: Springer Singapore, pp. 69-75.

[CT04] Le Duy Tien, Nguyen Manh Cuong, and Le Trung Thanh, "Fast and slow light enhancement using cascaded microring resonators with the Sagnac reflector", Optik - International Journal for Light and Electron Optics, vol. 131, pp. 292–301, Feb. 2017.

[CT05] Le Duy Tien and Le Trung Thanh, "Fano Resonance and EIT-like effect based on 4×4 Multimode Interference Structures", International Journal of Applied Engineering Research, vol. 12, no. 13, pp. 3784-3788, 2017.

[CT06] Le Duy Tien and Le Trung Thanh, "On-Chip Generation of PAM-4 Signals Based on a 3×3 MMI Architecture for Optical Interconnect and Computing Systems", Communications, Signal Processing, and Systems (pp.1064-1071), Proceedings of the 10th International Conference on Communications, Signal Processing, and Systems, Vol.1, DOI:10.1007/978-981-19-0390-8_134

[CT07] Le Duy Tien, Nguyen Ngoc Minh, and Le Trung Thanh, "Development of PAM-4 signaling for high performance computing, supercomputers and data center systems", Tạp chí khoa học công nghệ thông tin và truyền thông, Số 01 (CS.01) 2017.

[CT08] Le Duy Tien, Nguyen Ngoc Minh, and Le Trung Thanh, "Zero-Chirp and Low Power PAM-4 Modulation Based on SOI Cascaded Multimode Interference Structures", DOI: 10.13164/re.2022.0001, RADIOENGINEERING, vol. 31, no. 1, APRIL 2022.

[CT09] Le Duy Tien and Le Trung Thanh, "Coupled Resonator Induced Transparency (CRIT) Based on Interference Effect in 4x4 MMI Coupler", International Journal of Computer Systems (IJCS), vol. 4, no. 5, pp. 95-98, May 2017.

[CT10] Le Duy Tien, Nguyen Anh Tuan, and Le Trung Thanh, "Ultra-Low Power PAM-4 Generation Based on a Cascaded 2x2 MMI Coupler for Optical Interconnect and Computing Systems", International Journal of Microwave and Optical Technology, vol. 17, no. 1, 2022.

TÀI LIỆU THAM KHẢO

- [1] S. Das, W. Wang, and T. S. E. Ng, "Towards All-optical Circuit-switched Datacenter Network Cores: The Case for Mitigating Traffic Skewness at the Edge," presented at the Proceedings of the ACM SIGCOMM 2021 Workshop on Optical Systems, Virtual Event, USA, 2021. [Online]. Available: <https://doi.org/10.1145/3473938.3474505>.
- [2] Q. Cheng, M. Glick, and K. Bergman, *Chapter 18 - Optical interconnection networks for high-performance systems in Optical Fiber Telecommunications VII*. Academic Press, 2020.
- [3] C. University. "<https://lightwave.ee.columbia.edu/content/past-projects>." (accessed 20 November 2022).
- [4] S. Bernabé *et al.*, "Silicon photonics for terabit/s communication in data centers and exascale computers," *Solid-State Electronics*, vol. 179, p. 107928, 2021/05/01/ 2021, doi: <https://doi.org/10.1016/j.sse.2020.107928>.
- [5] Y. Liu, S. Wang, J. Wang, X. Li, M. Yu, and Y. Cai, "Silicon photonic transceivers in the field of optical communication," *Nano Communication Networks*, vol. 31, p. 100379, 2022/03/01/ 2022, doi: <https://doi.org/10.1016/j.nancom.2021.100379>.
- [6] D. Dai, D. Liang, and P. Cheben, "Next-generation silicon photonics: introduction," *Photon. Res.*, vol. 10, no. 10, pp. NGSP1-NGSP3, 2022/10/01 2022, doi: 10.1364/PRJ.474164.
- [7] M. Nikdast, S. Pasricha, G. Nicolescu, A. Seyedi, and D. Liang, *Silicon Photonics for High-Performance Computing and Beyond*. CRC Press, 2021.
- [8] Intel, "<https://www.intc.com/news-events/press-releases/detail/1555/intel-labs-announces-integrated-photonics-research>," vol. Accessed 20 December 2022, 2022.
- [9] M. Lipson, "The revolution of silicon photonics," *Nature Materials*, vol. 21, no. 9, pp. 974-975, 2022/09/01 2022, doi: 10.1038/s41563-022-01363-6.
- [10] M. Hossain, M. P. Singh, and J. K. Rakshit, "Modelling of one-bit Arithmetic Logic Circuit using silicon micro-ring resonator," *Journal of Physics: Conference Series*, vol. 2335, no. 1, p. 012003, 2022/09/01 2022, doi: 10.1088/1742-6596/2335/1/012003.
- [11] R. Pitwon *et al.*, "Evolution of System Embedded Optical Interconnect in Sub-Top-of-Rack Data Center Systems," *Applied Sciences*, vol. 12, no. 3, 2022, doi: 10.3390/app12031565.
- [12] R. Mahajan *et al.*, "Co-Packaged Photonics For High Performance Computing: Status, Challenges And Opportunities," *Journal of Lightwave Technology*, vol. 40, no. 2, pp. 379-392, 2022, doi: 10.1109/JLT.2021.3104725.
- [13] G. Nicolescu, M. Nikdast, and S. L. Beux, *Photonic Interconnects for Computing Systems: Understanding and Pushing Design Challenges*. River Publishers, 2017.

- [14] N. Margalit, C. Xiang, S. M. Bowers, A. Bjorlin, R. Blum, and J. E. Bowers, "Perspective on the future of silicon photonics and electronics," *Applied Physics Letters*, vol. 118, no. 22, p. 220501, 2021/05/31 2021, doi: 10.1063/5.0050117.
- [15] D. Inniss and R. Rubenstein, *Silicon Photonics: Fueling the Next Information Revolution*. Morgan Kaufmann, 2016.
- [16] N. R. Adiga *et al.*, "Blue Gene/L torus interconnection network," *IBM J. Res. Dev.*, vol. 49, no. 2, pp. 265–276, 2005, doi: 10.1147/rd.492.0265.
- [17] A. F. Benner *et al.*, "Optics for High-Performance Servers and Supercomputers," in *Optical Fiber Communication Conference*, San Diego, California, 2010/03/21 2010: Optica Publishing Group, in OSA Technical Digest (CD), p. OTuH1, doi: 10.1364/OFC.2010.OTuH1. [Online]. Available: <http://opg.optica.org/abstract.cfm?URI=OFC-2010-OTuH1>
- [18] I. B. M. B. G. team, "Design of the IBM Blue Gene/Q Compute chip," *IBM Journal of Research and Development*, vol. 57, no. 1/2, pp. 1:1-1:13, 2013, doi: 10.1147/JRD.2012.2222991.
- [19] R. N. Mysore *et al.*, "PortLand: a scalable fault-tolerant layer 2 data center network fabric," presented at the Proceedings of the ACM SIGCOMM 2009 conference on Data communication, Barcelona, Spain, 2009. [Online]. Available: <https://doi.org/10.1145/1592568.1592575>.
- [20] D. Brunner, M. C. Soriano, and G. V. d. Sande, *Photonic Reservoir Computing*. De Gruyter, 2019.
- [21] H. H. Zhu *et al.*, "Space-efficient optical computing with an integrated chip diffractive neural network," *Nature Communications*, vol. 13, no. 1, p. 1044, 2022/02/24 2022, doi: 10.1038/s41467-022-28702-0.
- [22] M. Tan, Y. Wang, K. X. Wang, Y. Yu, and X. Zhang, "Circuit-level convergence of electronics and photonics: basic concepts and recent advances," *Frontiers of Optoelectronics*, vol. 15, no. 1, p. 16, 2022/04/28 2022, doi: 10.1007/s12200-022-00013-8.
- [23] J. Wu *et al.*, "Analog Optical Computing for Artificial Intelligence," *Engineering*, vol. 10, pp. 133-145, 2022/03/01/ 2022, doi: <https://doi.org/10.1016/j.eng.2021.06.021>.
- [24] Y. Dan *et al.*, "Optoelectronic integrated circuits for analog optical computing: Development and challenge," *Frontiers in Physics*, Review vol. 10, 2022. [Online]. Available: <https://www.frontiersin.org/articles/10.3389/fphy.2022.1064693>.
- [25] S. S. Vazhkudai *et al.*, "The design, deployment, and evaluation of the CORAL pre-exascale systems," presented at the Proceedings of the International Conference for High Performance Computing, Networking, Storage, and Analysis, Dallas, Texas, 2018. [Online]. Available: <https://doi.org/10.1109/SC.2018.00055>.

- [26] M. Khani *et al.*, "SiP-ML: high-bandwidth optical network interconnects for machine learning training," presented at the Proceedings of the 2021 ACM SIGCOMM 2021 Conference, Virtual Event, USA, 2021. [Online]. Available: <https://doi.org/10.1145/3452296.3472900>.
- [27] X. Wang, P. Xie, B. Chen, and X. Zhang, "Chip-Based High-Dimensional Optical Neural Network," *Nano-Micro Letters*, vol. 14, no. 1, p. 221, 2022/11/14 2022, doi: 10.1007/s40820-022-00957-8.
- [28] C. Kachris, K. Bergman, and I. Tomkos, *Optical Interconnects for Future Data Center Networks*. Springer, 2012.
- [29] A. Roozbeh *et al.*, "Software-Defined "Hardware" Infrastructures: A Survey on Enabling Technologies and Open Research Directions," *IEEE Communications Surveys & Tutorials*, vol. 20, no. 3, pp. 2454-2485, 2018, doi: 10.1109/COMST.2018.2834731.
- [30] M. Fiorani, S. Aleksic, and M. Casoni, "Hybrid optical switching for data center networks," *JECE*, vol. 2014, p. Article 1, 2014, doi: 10.1155/2014/139213.
- [31] J. L. Hennessy, *Computer Architecture A Quantitative Approach, 6th Edition*. Elsevier, 2019.
- [32] C. Qiu, H. Xiao, L. Wang, and Y. Tian, "Recent advances in integrated optical directed logic operations for high performance optical computing: a review," *Frontiers of Optoelectronics*, vol. 15, no. 1, p. 1, 2022/03/28 2022, doi: 10.1007/s12200-022-00001-y.
- [33] S. Hassan, D. Chack, and L. Pavesi, "High extinction ratio thermo-optic based reconfigurable optical logic gates for programmable PICs," *AIP Advances*, vol. 12, no. 5, p. 055304, 2022/05/01 2022, doi: 10.1063/5.0086185.
- [34] A. Erandathara Gokulan and J. Ramasamy Kandasamy, "Review on all-optical logic gates: design techniques and classifications – heading toward high-speed optical integrated circuits," *Optical Engineering*, vol. 61, no. 6, p. 060902, 6/1 2022, doi: 10.1117/1.OE.61.6.060902.
- [35] S. Jiao *et al.*, "All-optical logic gate computing for high-speed parallel information processing," *Opto-Electronic Science*, vol. 1, no. 9, pp. 220010-1-220010-22, 2022, doi: 10.29026/oes.2022.220010.
- [36] Y. Wu, T. Shih, and M. Chen, "New all-optical logic gates based on the local nonlinear Mach-Zehnder interferometer," *Optics Express*, vol. 16, no. 1, pp. 248-257, 2008.
- [37] D. Cotter, R. J. Manning, and K. J. B. e. al., "Non-linear Optics for High-Speed Digital Information Processing," *Science*, vol. 286, no. 5444, pp. 1523 - 1528, 1999.
- [38] T. Yabu, M. Geshiro, T. Kitamura, K. Nishida, and S. Sawa, "All-optical logic gates containing a two-mode nonlinear waveguide," *IEEE Journal of Quantum Electronics*, vol. 38, no. 1, 2002.

- [39] G. Cancellieri, F. Chiaraluce, E. Gambi, and P. Pierleoni, "Coupled-soliton photonic logic gates: practical design procedures," *J. Opt. Soc. Am. B*, vol. 12, p. 1300, 1995.
- [40] Y. H. Pramono, M. Geshiro, T. Kitamura, and S. Sawa, "Optical logic OR, AND, NOT and NOR gates in waveguides consisting of nonlinear material," *IEICE Transactions on Electronics*, vol. E83-C, p. 1755, 2000.
- [41] W. Youfa and L. Jianhua, "All-fiber logical devices based on the nonlinear directional coupler," *IEEE Photonics Technology Letters*, vol. 11, no. 1, pp. 72-74, 1999.
- [42] M. Zitelli, E. Fazio, and M. Bertolotti, "All-optical NOR gate based on the interaction between cosine-shaped input beams of orthogonal polarization," *J. Opt. Soc. Am. B*, vol. 16, p. 214, 1999.
- [43] M. N. Islam, "Ultrafast all-optical logic gates based on soliton trapping in fibers," *Optics Letters*, vol. 14, no. 22, pp. 1257-1259.
- [44] M. J. Connelly, *Semiconductor Optical Amplifiers*. Springer, 2002.
- [45] K. Heydarian, A. Nosratpour, and M. Razaghi, "Design and analysis of an all-optical NAND logic gate using a photonic crystal semiconductor optical amplifier based on the Mach-Zehnder interferometer structure," *Photonics and Nanostructures - Fundamentals and Applications*, vol. 49, p. 100992, 2022/05/01/ 2022, doi: <https://doi.org/10.1016/j.photonics.2022.100992>.
- [46] L. Y. Lin, E. L. Goldstein, and R. W. Tkach, "Free-space micromachined optical switches with submilli-second switching time for large-scale optical crossconnects," *IEEE Photonics Technology Letters*, vol. 10, no. 4, pp. 525-527, 1998.
- [47] E. h. Shaik and N. Rangaswamy, "Multi-mode interference-based photonic crystal logic gates with simple structure and improved contrast ratio," *Photonic Network Communications*, vol. 34, no. 1, pp. 140-148, 2017 2017, doi: [10.1007/s11107-016-0683-7](https://doi.org/10.1007/s11107-016-0683-7).
- [48] H. M. E. Hussein, T. A. Ali, and N. H. Rafat, "New designs of a complete set of Photonic Crystals logic gates," *Optics Communications*, vol. 411, pp. 175-181, 2018, doi: <https://doi.org/10.1016/j.optcom.2017.11.043>.
- [49] S. Zeng, Y. Zhang, B. Li, and E. Y.-B. Pun, "Ultrasmall optical logic gates based on silicon periodic dielectric waveguides," *Photonics and Nanostructures - Fundamentals and Applications*, vol. 8, no. 1, pp. 32-37, 2010, doi: <https://doi.org/10.1016/j.photonics.2010.01.002>.
- [50] M. Ota, A. Sumimura, M. Fukuhara, Y. Ishii, and M. Fukuda, "Plasmonic-multimode-interference-based logic circuit with simple phase adjustment," *Scientific Reports*, Article vol. 6, p. 24546, 2016, doi: [10.1038/srep24546](https://doi.org/10.1038/srep24546).
- [51] L. He *et al.*, "Topology-Optimized Ultracompact All-Optical Logic Devices on Silicon Photonic Platforms," *ACS Photonics*, vol. 9, no. 2, pp. 597-604, 2022/02/16 2022, doi: [10.1021/acsp Photonics.1c01569](https://doi.org/10.1021/acsp Photonics.1c01569).

- [52] Z. Li, Z. Chen, and B. Li, "Optical pulse controlled all-optical logic gates in SiGe/Si multimode interference," *Optics Express*, vol. 13, no. 3, pp. 1033-1038, 2005
- [53] S. Zarei and A. Khavasi, "Realization of optical logic gates using on-chip diffractive optical neural networks," *Scientific Reports*, vol. 12, no. 1, p. 15747, 2022/09/21 2022, doi: 10.1038/s41598-022-19973-0.
- [54] L. W. Cahill and T. T. Le, "MMI Devices for Photonic Signal Processing," in *9th International Conference on Transparent Optical Networks (ICTON 2007)*, Rome, Italy, 1-5 July 2007 vol. 1, pp. 202 - 205.
- [55] L. W. Cahill and T. T. Le, "Photonic Signal Processing using MMI Elements," in *10th International Conference on Transparent Optical Networks (ICTON 2008)*, Athens, Greece, 22-26 June, 2008 2008.
- [56] T. T. Le and L. W. Cahill, "The modeling of MMI structures for signal processing applications," *Integrated Optics: Devices, Materials, and Technologies XII. Edited by Greiner, Christoph M.; Waechter, Christoph A. Proceedings of the SPIE*, vol. 6896, pp. 68961G-68961G-7, 03/2008.
- [57] T. T. Le and L. Cahill, "All-optical signal processing circuits using silicon waveguides," in *The 7th International Conference on Broadband Communications and Biomedical Applications*, Melbourne, Australia, 21-24 Nov. 2011 2011, pp. 167-172, doi: 10.1109/IB2Com.2011.6217914.
- [58] T.-T. Le, *Multimode Interference Structures for Photonic Signal Processing*. LAP Lambert Academic Publishing, 2010.
- [59] S. Hassan and D. Chack, "Design and performance analysis of MMI based all optical logic gates on SOI substrate," in *2018 3rd International Conference on Microwave and Photonics (ICMAP)*, 9-11 Feb. 2018 2018, pp. 1-2, doi: 10.1109/ICMAP.2018.8354637.
- [60] S. K. Singh, M. Parvez, T. Abbas, J.-X. Peng, M. Mazaheri, and M. Asjad, "Tunable optical response and fast (slow) light in optomechanical system with phonon pump," *Physics Letters A*, vol. 442, p. 128181, 2022/08/05/ 2022, doi: <https://doi.org/10.1016/j.physleta.2022.128181>.
- [61] Q. Liao, X. Xiao, W. Nie, and N. Zhou, "Transparency and tunable slow-fast light in a hybrid cavity optomechanical system," *Optics Express*, vol. 28, no. 4, pp. 5288-5305, 2020/02/17 2020, doi: 10.1364/OE.382254.
- [62] J. Capmany, I. Gasulla, and S. Sales, "Harnessing slow light," *Nature Photonics*, vol. 5, no. 12, pp. 731-733, 2011/12/01 2011, doi: 10.1038/nphoton.2011.290.
- [63] T. Daghooghi, M. Soroosh, and K. Ansari-Asl, "Low-power all-optical switch based on slow light photonic crystal," *Photonic Network Communications*, vol. 43, no. 3, pp. 177-184, 2022/06/01 2022, doi: 10.1007/s11107-022-00977-9.

- [64] L. Torrijos-Morán, A. Griol, and J. García-Rupérez, "Slow light bimodal interferometry in one-dimensional photonic crystal waveguides," *Light: Science & Applications*, vol. 10, no. 1, p. 16, 2021/01/14 2021, doi: 10.1038/s41377-020-00460-y.
- [65] C. Murendranath Patil *et al.*, "Observation of slow light in glide-symmetric photonic-crystal waveguides," *Optics Express*, vol. 30, no. 8, pp. 12565-12575, 2022/04/11 2022, doi: 10.1364/OE.449221.
- [66] K. Qian *et al.*, "Enhanced sensitivity of fiber laser sensor with Brillouin slow light," *Optics Express*, vol. 27, no. 18, pp. 25485-25492, 2019/09/02 2019, doi: 10.1364/OE.27.025485.
- [67] C. Han, M. A.-O. Jin, Y. Tao, B. Shen, and X. Wang, "Recent Progress in Silicon-Based Slow-Light Electro-Optic Modulators. LID - 10.3390/mi13030400 [doi] LID - 400," (in eng), no. 2072-666X (Print).
- [68] M. Vaňko, J. Müllerová, and M. Dado, "Numerical Analysis of Parameter Optimization in Slow Light Phase-Shifted Fiber Bragg Gratings," *MATERIALS TRANSACTIONS*, vol. 63, no. 4, pp. 436-441, 2022, doi: 10.2320/matertrans.MT-MA2022016.
- [69] T. E. Maybour, D. H. Smith, and P. Horak, "Slow and stopped light in dynamic Moiré gratings," *Physical Review A*, vol. 104, no. 1, p. 013503, 07/06/ 2021, doi: 10.1103/PhysRevA.104.013503.
- [70] A. A. Nikitin *et al.*, "Optical bistable SOI micro-ring resonators for memory applications," *Optics Communications*, vol. 511, p. 127929, 2022/05/15/ 2022, doi: <https://doi.org/10.1016/j.optcom.2022.127929>.
- [71] S. Y. Siew *et al.*, "Review of Silicon Photonics Technology and Platform Development," *Journal of Lightwave Technology*, vol. 39, no. 13, pp. 4374-4389, 2021, doi: 10.1109/JLT.2021.3066203.
- [72] W. Jiang, Y. Zhang, F. Zhu, Y. Guo, and G. Yi, "Regulation of fast and slow light characteristics of the add-drop ring-resonator employing an assisted ring," *Optics Express*, vol. 29, no. 4, pp. 5141-5151, 2021/02/15 2021, doi: 10.1364/OE.418502.
- [73] H. Shahoei, D.-X. Xu, J. H. Schmid, and J. Yao, "Continuous Slow and Fast Light Generation Using a Silicon-on-Insulator Microring Resonator Incorporating a Multimode Interference Coupler," *Journal of Lightwave Technology*, vol. 32, no. 22, pp. 3677-3682, 2014/11/15 2014. [Online]. Available: <https://opg.optica.org/jlt/abstract.cfm?URI=jlt-32-22-3677>.
- [74] C. Zhu and Y. Zhuang, "Microwave Photonic Fiber Ring Resonator. LID - 10.3390/s22103771 [doi] LID - 3771," (in eng), no. 1424-8220 (Electronic).
- [75] S. Liu, J.-F. Wu, and C. Li, "Breaking the Delay-Bandwidth Limit in a Dynamically Tuned Nanocavity," in *Advances in Precision Instruments and Optical Engineering*,

- Singapore, G. Liu and F. Cen, Eds., 2022// 2022: Springer Nature Singapore, pp. 507-513.
- [76] A. Naweed, "Reversible fast to slow-light transition originating in the optical analog of EIA-EIT transformation in optical resonators," *OSA Continuum*, vol. 4, no. 11, pp. 2771-2783, 2021/11/15 2021, doi: 10.1364/OSAC.439380.
- [77] H. Yang, G.-Q. Qin, H. Zhang, X. Mao, M. Wang, and G.-L. Long, "Multimode Interference Induced Optical Routing in an Optical Microcavity," *Annalen der Physik*, <https://doi.org/10.1002/andp.202000506> vol. 533, no. 5, p. 2000506, 2021/05/01 2021, doi: <https://doi.org/10.1002/andp.202000506>.
- [78] Y. Chen, Y. Chen, C. Guo, W. Fan, E. Zhu, and Z. Hu, " 4×25 Gb/s PAM4 optical transmitter for micro-ring modulator with thermal control," *Microwave and Optical Technology Letters*, <https://doi.org/10.1002/mop.33580> vol. n/a, no. n/a, 2022/12/19 2022, doi: <https://doi.org/10.1002/mop.33580>.
- [79] W. Shi, Y. Xu, H. Sepehrian, S. LaRochelle, and L. A. Rusch, "Silicon photonic modulators for PAM transmissions," *Journal of Optics*, vol. 20, no. 8, p. 083002, 2018/07/05 2018, doi: 10.1088/2040-8986/aacd65.
- [80] M. Kim, D. H. Kwon, D. W. Rho, and W. Y. Choi, "A Low-Power 28-Gb/s PAM-4MZM Driver With Level Pre-Distortion," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 3, pp. 908-912, Aug. 2021, doi: 10.1109/TCSII.2020.3020128.
- [81] J. Wang *et al.*, "Optical PAM-4 generation via electromagnetically induced transparency in nitrogen-vacancy centers," *Results in Physics*, vol. 30, p. 104802, 2021/11/01/ 2021, doi: <https://doi.org/10.1016/j.rinp.2021.104802>.
- [82] R. Haldar, S. Ummethala, R. K. Sinha, and S. K. Varshney, "Nested nonconcentric microring resonators with high-Q and large fabrication tolerance," *J. Opt. Soc. Am. B*, vol. 38, no. 12, pp. 3743-3753, 2021/12/01 2021, doi: 10.1364/JOSAB.430789.
- [83] D. Marcuse, *Theory of Dielectric Optical Waveguides* (Second edition). Academic Press, 1991.
- [84] A. Yariv, *Optical Electronics* (4th edition). H R W Series in Electrical and Computer Engineering, 1991.
- [85] C. R. Doerr and H. Kogelnik, "Dielectric Waveguide Theory," *IEEE Journal of Lightwave Technology*, vol. 26, no. 9, pp. 1176-1187, 2008.
- [86] A. Ghatak and K. Thyagarajan, *An Introduction to Fiber Optics*. Cambridge University Press, 1998.
- [87] A. W. Snyder and J. D. Love, *Optical Waveguide Theory*. New York: Chapman and Hall, 1983.
- [88] P. Yeh, *Optical Waves in Layered Media* John Wiley & Sons, 2005.

- [89] T. Tekin, R. Pitwon, A. Håkansson, and N. Pleros, *Optical Interconnects for Data Centers*. Woodhead Publishing, 2016.
- [90] L. B. Soldano and E. C. M. Pennings, "Optical multi-mode interference devices based on self-imaging :principles and applications," *IEEE Journal of Lightwave Technology*, vol. 13, no. 4, pp. 615-627, Apr 1995.
- [91] A. Ferreras, F. Rodriguez., E. Gomez-Salas, J. L. d. Meiguel, and F. Hernandez-Gil, "Useful formulas for multimode interference power splitter/combiner design," *IEEE Photonics Technology Letters*, vol. 5, no. 10, pp. 1224- 1227, Oct 1993.
- [92] M. Blahut and A. Opilski, "Multimode interference structures - new way of passive elements technology for photonics " *Opto-electronics Review*, vol. 93, no. 3, pp. 293-300, 2001.
- [93] C. Sookdhis, T. Mei, H. S. Djie, and J. Arokiaraj, "Passive wavelength monitor based on multimode interference waveguide," *Optical Engineering*, vol. 42, no. 12, pp. 3421–3422, 2003.
- [94] A. M. Al-hetar, A. M. Supa'at, A. B. Mohammad, and I. Yulianti, "Multimode interference photonic switches," *Optical Engineering*, vol. 47, no. 11, p. 112001, 2008.
- [95] L. W. Cahill and F. P. Payne, "Optical switches based on the generalized Mach-Zehnder interferometer," in *LEOS Summer Topical Meetings*, 2000, pp. IV57-IV58.
- [96] L. W. Cahill, "The synthesis of generalised Mach-Zehnder optical switches based on multimode interference (MMI) couplers," *Optical and Quantum Electronics*, vol. 35, no. 4-5, pp. 465-473, 2003.
- [97] L. W. Cahill, "The Modelling of MMI Devices," in *Proc. International Conference on Transparent and Optical Networks 2006 (ICTON 2006)*, Nottingham , UK, June 2006, vol. 2.
- [98] L. W. Cahill, "Optical Switching Using Cascaded Generalised Mach-Zehnder Switches," in *The IEEE conference TENCON 2005*, Melbourne, Australia, 21-24 Nov. 2005, pp. 1-5.
- [99] S. Nagai, G. Morishima, H. Inayoshi, and K. Utaka, "Multimode interference photonic switched (MIPS)," *IEEE Journal of Lightwave Technology*, vol. 20, no. 4, pp. 675 – 681, April 2002.
- [100] B. Li, S. J. Chua, and E. A. F. e. al., "3x2 integrated microphotonic switches " *Proceedings of the SPIE*, vol. 5625, no. 785, 2005.
- [101] K.-C. Lin and W. Y. Lee, "Guided-wave 1.3/1.55 μm wavelength division multiplexer based on multimode interference," *Electronics Letters*, vol. 32, pp. 1259-1261, 1996.
- [102] Y. L. Sam and Y. H. Won, "A compact and low-loss 1×2 wavelength MUX/DEMUX based on a multimode-interference coupler using quasi state," *Microwave and Optical Technology Letters*, vol. 41, no. 2, pp. 86 - 88, 2 Mar 2004.

- [103] S. Fan, D. Guidotti, H. Chien, and G. Chang, "Compact polymeric four-wavelength multiplexers based on cascaded step-size MMI for 1G/10G hybrid TDM-PON applications," *Optics Express*, vol. 16, no. 17, pp. 12664-12669, 2008.
- [104] Z. Li and B. Li, "Optical pulse controlled optical logic NOT gate," in *Passive Components and Fiber-based Devices II.*, Proceedings of the SPIE, 2005, vol. 6019, pp. 60190Y.1-60190Y.7.
- [105] A. J. Whang and S. M. Chao, "Multimode Interference All-Optical Logic Gates via Partially Nonlinear Propagation Region," *Optical Review*, vol. 10, no. 5, pp. 346-351, 2003.
- [106] J. M. Kim, Y. G. Seo, and H. D. Y. e. al., "Proposal of all-optical logic gate based on MMI," in *Optical Fibers and Passive Components, Proc. SPIE*, April 2004, vol. 5279, pp. 497-500.
- [107] D. C. Wheeler and D. C. Hall, "Optical Interference Logic in Silicon-on-Insulator Waveguides," in *Advanced optical and quantum memories and computing III, Proceedings of SPIE*, San Jose, California, USA, 24-25 January 2006, vol. 6130, p. 61300G.
- [108] D. M. Mackie, "Multimode interference devices with input-output ports on the sides," *Appl. Opt.*, vol. 45, no. 20, pp. 4933-4940 2006.
- [109] D. M. Mackie and A. W. Lee, "Slotted Multimode-Interference Devices," *Appl. Opt.*, vol. 43, no. 36, pp. 6609-6619, Dec. 20, 2004.
- [110] B. Li, S. J. Chua, and E. A. F. e. al., "Intelligent integration of optical power splitter with optically switchable cross-connect based on multimode interference principle in SiGe/Si " *Applied Physics Letters*, vol. 85, pp. 1119 -, 2004.
- [111] Z. Chen, Z. Li, and B. Li, "A 2-to-4 decoder switch in SiGe/Si multimode interference," *Optics Express*, vol. 14, p. 2671, 2006.
- [112] K. R. Kribich, R. Copperwhite, and H. B. e. al., "Novel chemical sensor/biosensor platform based on optical multimode interference (MMI) couplers," *Sensors and Actuators B, Elsevier B.V.*, vol. 107 pp. 188–192, 2005.
- [113] S. Yu, "Multiple output semiconductor ring lasers with high external quantum efficiency," *IEE Proceedings in optoelectronics*, vol. 144, no. 1, Feb 1997.
- [114] A. Yariv, "Universal relations for coupling of optical power between microresonators and dielectric waveguides," *Electronics Letters*, vol. 36, pp. 321–322, 2000.
- [115] Q. Ngo, K. Le, T. Hoang, D. Vu, and V. Pham, "Numerical investigation of tunable Fano-based optical bistability in coupled nonlinear gratings," *Optics Communications*, vol. 338, pp. 528-533 2015.
- [116] L. Zhou and A. W. Poon, "Fano resonance-based electrically reconfigurable add-drop filters in silicon microring resonator-coupled Mach-Zehnder interferometers," *Optics Letters*, vol. 32, no. 7, pp. 781-783, Apr. 2007.

- [117] T.-T. Le and L. Cahill, "Generation of two Fano resonances using 4x4 multimode interference structures on silicon waveguides," *Optics Communications*, vol. 301-302, pp. 100-105, 2013.
- [118] A. E. Miroshnichenko, S. Flach, and Y. S. Kivshar, "Fano resonances in nanoscale structures," *Review Modern Physics*, vol. 82, pp. 2257-, 2010.
- [119] B. Luk'yanchuk, N. I. Zheludev, and S. A. Maier, "The Fano resonance in plasmonic nanostructures and metamaterials," *Nature Materials*, vol. 9, pp. 707–715, 2010.
- [120] L. Y. Mario and M. K. Chin, "Optical buffer with higher delay-bandwidth product in a two-ring system," *Optics Express*, vol. 16, no. 3, pp. 1796-1807, 2008/02/04 2008, doi: 10.1364/OE.16.001796.
- [121] M. F. Limonov, "Fano resonance for applications," *Adv. Opt. Photon.*, vol. 13, no. 3, pp. 703-771, 2021/09/30 2021, doi: 10.1364/AOP.420731.
- [122] A. E. Miroshnichenko, S. Flach, and Y. S. Kivshar, "Fano resonances in nanoscale structures," *Reviews of Modern Physics*, vol. 82, no. 33, pp. 2257–2298, 2010.
- [123] K. A. Latunde-Dada and F. P. Payne, "Theory and Design of Adiabatically Tapered Multimode Interference Couplers," *IEEE Journal of Lightwave Technology*, vol. 25, no. 3, pp. 834-839 2007.
- [124] R. Scarmozzino, A. Gopinath, R. Pregla, and S. Helfert, "Numerical techniques for modeling guided-wave photonic devices," *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 6, no. 1, pp. 150 - 162, 2000.
- [125] F. Hunt, *Origins in Acoustics: The Science of Sound from Antiquity to the Age of Newton*. Yale University Press, 1978.
- [126] L. Cahill and T. Le, "The design of signal processing devices employing SOI MMI couplers," in *Paper 7220-2, Integrated optoelectronic devices (OPTO 2009), Photonics West, Proceedings of the SPIE*, San Jose Convention Center, San Jose, California, USA, 24 - 29 January 2009.
- [127] M. Bachmann, P. A. Besse, and H. Melchior, "General self-imaging properties in N x N multimode interference couplers including phase relations," *Appl. Opt.*, vol. 33, no. 18, pp. 3905-, 1994.
- [128] D.-T. Le and T.-T. Le, " Coupled Resonator Induced Transparency (CRIT) Based on Interference Effect in 4x4 MMI Coupler," *International Journal of Computer Systems (IJCS)*, vol. 4, no. 5, pp. 95-98, 2017.
- [129] J. M. Heaton and R. M. Jenkins, " General matrix theory of self-imaging in multimode interference(MMI) couplers," *IEEE Photonics Technology Letters*, vol. 11, no. 2, pp. 212-214, Feb 1999 1999.
- [130] J. S. Rodgers, S. E. Ralph, and R. P. Kenan, "Self guiding multimode interference threshold switch," *Optics Letters*, vol. 25, no. 23, 2000.

- [131] L. T. Thành, N. C. Minh, N. V. Khoi, B. T. Thuy, and N. T. H. Loan, "Design of silicon wires based directional couplers for microring resonators," *Journal of Science and Technology, University of Danang*, vol. 11, no. 96, 2015.
- [132] D. Dai, H. Wu, and W. Zhang, "Utilization of Field Enhancement in Plasmonic Waveguides for Subwavelength Light-Guiding, Polarization Handling, Heating, and Optical Sensing," *Materials*, vol. 8, no. 10, pp. 6772-6791doi: 10.3390/ma8105341.
- [133] E. D. Palik, *Handbook of Optical Constants of Solids*. Academic Press, 1985.
- [134] T.-T. Le, *Multimode Interference Structures for Photonic Signal Processing: Modeling and Design*. Germany: Lambert Academic Publishing, May 2010.
- [135] Y. Hu *et al.*, "High-efficiency and broadband on-chip electro-optic frequency comb generators," *Nature Photonics*, vol. 16, no. 10, pp. 679-685, 2022/10/01 2022, doi: 10.1038/s41566-022-01059-y.
- [136] J. Heebner, R. Grover, and T. Ibrahim, *Optical Microresonators: Theory, Fabrication, and Applications*. Springer, 2008.
- [137] I. Chremmos, O. Schwelb, and N. U. (Editors), *Photonic Microresonator Research and Applications*. Springer, 2010.
- [138] T. Wang *et al.*, "Pulse Delay and Advancement in SOI Microring Resonators With Mutual Mode Coupling," *Journal of Lightwave Technology*, vol. 27, no. 21, p. 4734, 2009.
- [139] J. Yang, Q. Zhou, F. Zhao, and X. Jiang, "Characteristics of optical bandpass filters employing series-cascaded double-ring resonators," *Optics Communications*, vol. 228, no. 1-3, pp. 91-98, December 2003.
- [140] S.-Y. Cho and R. Soref, "Interferometric microring-resonant 2×2 optical switches," *Optics Express*, vol. 16, no. 17, pp. 13304-13314, 2008.
- [141] Y. Hu, X. Xiao, H. Xu, X. Li, K. Xiong, and Z. Li, "High-speed silicon modulator based on cascaded microring resonators," *Optics Express*, vol. 20, no. 14, pp. 15079-15085, 2012.
- [142] J. Xie, L. Zhou, Z. Zou, J. Wang, X. Li, and J. Chen, "Continuously tunable reflective-type optical delay lines using microring resonators," *Optics Express*, vol. 22, no. 1, pp. 817-823, 2014.
- [143] C. Chaichuay, P. P. Yupapin, and P. Saeung, "Multi-stage ring resonator all-pass filters for dispersion compensation," *Optica Applicata*, vol. XXXIX, no. 2, pp. 277-286, 2009.
- [144] H. Shen, J.-P. Chen, X.-W. Li, and Y.-P. Wang, "Group delay and dispersion analysis of compound high order microring resonator all-pass filter," *Optics Communications*, vol. 262, no. 2, pp. 200–205, 2006.

- [145] A. B. Ayoub and M. A. Swillam, "Optical modulator using ultra-thin silicon waveguide in SOI hybrid technology," *Optical and Quantum Electronics*, vol. 54, no. 3, p. 181, 2022/02/25 2022, doi: 10.1007/s11082-021-03467-w.
- [146] X. Liu, M. Kong, and H. Feng, "Transmission and dispersion of coupled double-ring resonators," *J. Opt. Soc. Am. B*, vol. 29, no. 1, pp. 68-74, 2012.
- [147] M. Lee, M. E. Gehm, and M. A. Neifeld, "Systematic design study of all-optical delay line based on Brillouin scattering enhanced cascade coupled ring resonators," *Journal of Optics*, vol. 12, no. 10, pp. 1-10, 2010.
- [148] J. Heebner and R. Boyd, "'Slow' and 'fast' light in resonator-coupled waveguides," *Journal of Modern Optics*, vol. 49, no. 14/15, pp. 2629-2636, 2002.
- [149] Q. Xu, D. Fattal, and R. G. Beausoleil, "Silicon microring resonators with 1.5- μm radius," *Optics Express*, vol. 16, no. 6, pp. 4309-4315, 2008.
- [150] T. T. Le, L. W. Cahill, and D. Elton, "The Design of 2x2 SOI MMI couplers with arbitrary power coupling ratios," *Electronics Letters*, vol. 45, no. 22, pp. 1118-1119, 2009.
- [151] K. Wang, M. Kong, W. Zhou, J. Ding, and J. Yu, "200-Gbit/s PAM4 Generation by a Dual-Polarization Mach-Zehnder Modulator Without DAC," *IEEE Photonics Technology Letters*, vol. 32, no. 18, pp. 1223-1226, Sept. 2020, doi: 10.1109/LPT.2020.3017535.
- [152] T. Sun *et al.*, "Silicon Photonic Mach-Zehnder Modulator Driver for 800+Gb/s Optical Links," in *2021 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, 5-8 Dec. 2021 2021, pp. 1-5, doi: 10.1109/BCICTS50416.2021.9682484.
- [153] X. Wang *et al.*, "High-speed silicon photonic Mach-Zehnder modulator at 200 Gb/s," *Photon. Res.*, vol. 9, no. 4, pp. 535-540, 2021/04/01 2021, doi: 10.1364/PRJ.417107.
- [154] B. Mou *et al.*, "Ultrahigh Q SOI ring resonator with a strip waveguide," *Optics Communications*, vol. 505, p. 127437, 2022/02/15/ 2022, doi: <https://doi.org/10.1016/j.optcom.2021.127437>.
- [155] S. J. Chua and B. Li, *Optical Switches: Materials and Design*. Woodhead Publishing, 2010.
- [156] S. Mohammadi-Pouyan, S. Bahadori-Haghighi, M. Heidari, and D. Abbott, "High-performance Mach-Zehnder modulator using tailored plasma dispersion effects in an ITO/graphene-based waveguide," *Scientific Reports*, vol. 12, no. 1, p. 12738, 2022/07/26 2022, doi: 10.1038/s41598-022-17125-y.
- [157] L. N. Binh, *Optical Modulation: Advanced Techniques and Applications in Transmission Systems and Networks* CRC Press, 2019.

- [158] T. T. Le, "Fano resonance based on 3x3 multimode interference structures for fast and slow light applications," *International Journal of Microwave and Optical Technology* vol. 12, no. 5, pp. 406-412, Sept. 2017.
- [159] L. Trung-Thanh, "Cascaded multimode interference-based microresonators for multiple Fano resonance engineering," *Optical Engineering*, vol. 57, no. 11, pp. 1-7, Nov. 2018, doi: 10.1117/1.OE.57.11.117102.
- [160] G. N. Tzintzarov, S. G. Rao, and J. D. Cressler, "Integrated Silicon Photonics for Enabling Next-Generation Space Systems," *Photonics*, vol. 8, no. 4, 2021, doi: 10.3390/photonics8040131.
- [161] T. T. Le and L. W. Cahill, "The modeling of MMI structures for signal processing applications," in *Integrated Optics: Devices, Materials, and Technologies XII. Edited by Greiner, Christoph M.; Waechter, Christoph A. Proceedings of the SPIE*, San Jose, California, United States, Feb. 2008, vol. 6896, pp. 68961G-68961G-7.
- [162] T. T. Le, "Design and analysis of optical filters using 3x3 multimode interference couplers based microring resonators," *Journal of Sciences and Technology, Vietnam Academy of Sciences*, vol. 12, no. 13, 2009.
- [163] T. T. Le and L. W. Cahill, "Photonic Signal Processing Using MMI Coupler-Based Microring Resonators," in *The 20th Annual Meeting of the IEEE Lasers and Electro-Optics Society (LEOS 2007)*, Lake Buena Vista, FL, USA, March 2007, pp. 395-396.
- [164] A. Samani, V. Veerasubramanian, E. El-Fiky, D. Patel, and D. V. Plant, "A Silicon Photonic PAM-4 Modulator Based on Dual-Parallel Mach-Zehnder Interferometers," *IEEE Photonics Journal*, vol. 8, no. 1, pp. 1-10, Feb. 2016, doi: 10.1109/jphot.2015.2512105.
- [165] S. J. Emelett and R. Soref, "Design and Simulation of Silicon Microring Optical Routing Switches," *IEEE Journal of Lightwave Technology*, vol. 23, no. 4, pp. 1800-1808, Apr. 2005.
- [166] W. Bogaerts, P. D. Heyn, and T. V. Vaerenbergh, "Silicon microring resonators," *Laser Photonics Review*, vol. 6, no. 1, pp. 47-73, Jan. 2012.
- [167] H. Zhang *et al.*, "800 Gbit/s transmission over 1km single-mode fiber using a four-channel silicon photonic transmitter," *Photon. Res.*, vol. 8, no. 11, pp. 1776-1782, Oct. 2020, doi: 10.1364/PRJ.396815.
- [168] T. Ferrotti *et al.*, "Co-integrated 1.3um hybrid III-V/silicon tunable laser and silicon Mach-Zehnder modulator operating at 25Gb/s," *Optics Express*, vol. 24, no. 26, pp. 30379-30401, Dec. 2016, doi: 10.1364/OE.24.030379.
- [169] D. Patel *et al.*, "Design, analysis, and transmission system performance of a 41 GHz silicon photonic modulator," *Optics Express*, vol. 23, no. 11, pp. 14263-14287, May 2015, doi: 10.1364/OE.23.014263.

- [170] R. Ding *et al.*, "High-Speed Silicon Modulator With Slow-Wave Electrodes and Fully Independent Differential Drive," *Journal of Lightwave Technology*, vol. 32, no. 12, pp. 2240-2247, June 2014, doi: 10.1109/JLT.2014.2323954.
- [171] M. S. Hai, M. M. P. Fard, and O. Liboiron-Ladouceur, "A Ring-Based 25 Gb/s DAC-Less PAM-4 Modulator," *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 22, no. 6, pp. 123-130, July 2016, doi: 10.1109/JSTQE.2016.2584978.
- [172] R. Li *et al.*, "Silicon photonic dual-drive MIM based 56 Gb/s DAC-less and DSP-free PAM-4 transmission," *Optics Express*, vol. 26, no. 5, pp. 5395-5407, Feb. 2018, doi: 10.1364/OE.26.005395.
- [173] M. A. Taubenblatt, "Optical Interconnects for High-Performance Computing," *Journal of Lightwave Technology*, vol. 30, no. 4, pp. 448-457, 2012, doi: 10.1109/jlt.2011.2172989.
- [174] L. Vivien and L. Pavesi, *Handbook of Silicon Photonics*. CRC Press, 2013.
- [175] R. Lytel, H. L. Davidson, N. Nettleton, and T. Sze, "Optical interconnections within modern high-performance computing systems," *Proceedings of the IEEE*, vol. 88, no. 6, pp. 758-763, 2000, doi: 10.1109/5.867689.
- [176] A. Shah. IBM Chip Breakthrough May Lead to Exascale Supercomputers
- [177] S. Rumley *et al.*, "Optical interconnects for extreme scale computing systems," *Parallel Computing*, vol. 64, pp. 65-80, 2017, doi: <https://doi.org/10.1016/j.parco.2017.02.001>.
- [178] A. Benner, "Optical Interconnect Opportunities in Supercomputers and High End Computing," in *Optical Fiber Communication Conference*, Los Angeles, California, 2012/03/04 2012: Optical Society of America, in OSA Technical Digest, p. OTu2B.4, doi: 10.1364/OFC.2012.OTu2B.4. [Online]. Available: <http://www.osapublishing.org/abstract.cfm?URI=OFC-2012-OTu2B.4>
- [179] J. Jahns, S. H. Lee, and S. H. Lee, *Optical Computing Hardware: Optical Computing*. Academic Press, 1994.
- [180] S. Moazeni and V. Stojanovic, *A 40Gb/s PAM4 Transmitter based on a Ring-resonator Optical DAC*. Technical Report of University of California at Berkeley, 2017.
- [181] S. Palermo *et al.*, "Silicon Photonic Microring Resonator-Based Transceivers for Compact WDM Optical Interconnects," in *2015 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 11-14 Oct. 2015 2015, pp. 1-4, doi: 10.1109/csics.2015.7314523.
- [182] A. H. K. Park, A. S. Ramani, L. Chrostowski, and S. Shekhar, "Comparison of DAC-less PAM4 modulation in segmented ring resonator and dual cascaded ring resonator," in *2017 IEEE Optical Interconnects Conference (OI)*, 5-7 June 2017 2017, pp. 7-8, doi: 10.1109/oic.2017.7965504.

- [183] R. Dubé-Demers, S. LaRochelle, and W. Shi, "Low-power DAC-less PAM-4 transmitter using a cascaded microring modulator," *Optics Letters*, vol. 41, no. 22, pp. 5369-5372, 2016, doi: 10.1364/ol.41.005369.
- [184] R. Li *et al.*, "High-speed low-chirp PAM-4 transmission based on push-pull silicon photonic microring modulators," *Optics Express*, vol. 25, no. 12, pp. 13222-13229, 2017, doi: 10.1364/oe.25.013222.
- [185] M. A. Seyedi, C. H. J. Chen, M. Fiorentino, and R. G. Beausoleil, "Data rate enhancement of dual silicon ring resonator carrier-injection modulators by PAM-4 encoding," in *2015 International Conference on Photonics in Switching (PS)*, 22-25 Sept. 2015 2015, pp. 363-365, doi: 10.1109/ps.2015.7329054.
- [186] J. Xu, J. Du, R. Ren, Z. Ruan, and Z. He, "Optical interferometric synthesis of PAM4 signals based on dual-drive Mach-Zehnder modulation," *Optics Communications*, vol. 402, pp. 73-79, 2017, doi: <http://dx.doi.org/10.1016/j.optcom.2017.05.019>.
- [187] A. Samani *et al.*, "Experimental parametric study of 128 Gb/s PAM-4 transmission system using a multi-electrode silicon photonic Mach Zehnder modulator," *Optics Express*, vol. 25, no. 12, pp. 13252-13262, June 2017, doi: 10.1364/oe.25.013252.
- [188] M. A. Seyedi *et al.*, "Silicon Mach-Zehnder Interferometer modulator with PAM-4 data modulation at 64 Gb/s," in *2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2-5 Aug. 2015 2015, pp. 1-3, doi: 10.1109/mwscas.2015.7282207.
- [189] D.-T. Le and T.-T. Le, "Coupled Resonator Induced Transparency (CRIT) Based on Interference Effect in 4x4 MMI Coupler," *International Journal of Computer Systems (IJCS)*, vol. 4, no. 5, pp. 95-98, May 2017.
- [190] T.-T. Le, "Two-channel highly sensitive sensors based on 4×4 multimode interference couplers," *Photonic Sensors*, vol. 7, no. 4, pp. 357-364, 2017/12/01 2017, doi: 10.1007/s13320-017-0441-1.
- [191] T.-T. Le and L. Cahill, "The Design of 4x4 Multimode Interference Coupler Based Microring Resonators on an SOI Platform," *Journal of Telecommunications and Information Technology, Poland*, pp. 98-102, 2009.
- [192] T.-T. L. a. D.-T. Le, "High FSR and Critical Coupling Control of Microring Resonator Based on Graphene-Silicon Multimode Waveguides," in *Electromagnetic Propagation and Waveguides in Photonics and Microwave Engineering*, P. Steglich Ed.: IntechOpen, DOI: 10.5772/intechopen.92210, 2020.
- [193] D.-T. Le, M.-C. Nguyen, and T.-T. Le, "Fast and slow light enhancement using cascaded microring resonators with the Sagnac reflector," *Optik - International Journal for Light and Electron Optics*, vol. 131, pp. 292-301, Feb. 2017.
- [194] F. Koyama and K. Iga, "Frequency chirping in external modulators," *Journal of Lightwave Technology*, vol. 6, no. 1, pp. 87-93, 1988, doi: 10.1109/50.3969.

- [195] D. Pérez *et al.*, "Multipurpose silicon photonics signal processor core," *Nature Communications*, vol. 8, no. 1, p. 636, 2017/09/21 2017, doi: 10.1038/s41467-017-00714-1.
- [196] X. Chen *et al.*, "Towards an optical FPGA - Programmable silicon photonic circuits," *arXiv:1807.01656*, <https://doi.org/10.48550/arXiv.1807.01656>, 2018.
- [197] N. B. Jadhav, R. Bhagat, S. Paranjpe, S. Dahitule, S. Madke, and S. Jadhav, "Micro-ring resonator based all-optical Arithmetic and Logical Unit," *Optik*, vol. 244, p. 167622, 2021/10/01/ 2021, doi: <https://doi.org/10.1016/j.ijleo.2021.167622>.
- [198] S. Pitris, C. Vagionas, P. Maniotis, G. T. Kanellos, and N. Pleros, "First Demonstration of an Optical Content Addressable Memory (CAM) Cell at 10 Gb/s," in *Optical Fiber Communication Conference*, Anaheim, California, 2016/03/20 2016: Optica Publishing Group, in OSA Technical Digest (online), p. M3E.5, doi: 10.1364/OFC.2016.M3E.5. [Online]. Available: <http://opg.optica.org/abstract.cfm?URI=OFC-2016-M3E.5>