

BỘ THÔNG TIN VÀ TRUYỀN THÔNG
HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



TÓM TẮT LUẬN ÁN

**NGHIÊN CỨU KỸ THUẬT XỬ LÝ TÍN HIỆU QUANG ỨNG DỤNG
TRONG CÁC HỆ THỐNG KẾT NỐI MÁY TÍNH QUANG**

NCS: LÊ DUY TIẾN

CHUYÊN NGÀNH: KỸ THUẬT MÁY TÍNH

Người hướng dẫn khoa học: **1. PGS.TS. Lê Trung Thành**
2. TS. Nguyễn Ngọc Minh

Hà Nội-2023

Công trình hoàn thành tại:

HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG

Người hướng dẫn khoa học:

PGS.TS. Lê Trung Thành

PGS. TS. Nguyễn Ngọc Minh

Phản biện 1:

Phản biện 2:

Phản biện 3:

Luận án được bảo vệ trước Hội đồng cấp Học viện tại Học viện Công nghệ Bưu chính Viễn thông, 96A Trần Phú, P. Mộ Lao, Hà Đông, Hà Nội.

Vào hồi:

Có thể tìm hiểu luận án tại:

Thư viện Học viện Công nghệ Bưu chính Viễn Thông

MỞ ĐẦU

Hiện nay, yêu cầu về lưu lượng dữ liệu đang tăng lên do các ứng dụng ngày càng đòi hỏi lượng dữ liệu lớn như các ứng dụng video chất lượng cao, các dịch vụ lưu trữ dữ liệu trực tuyến mở rộng, sự gia tăng của mạng xã hội và điện toán đám mây. Trong các hệ thống tính toán hiệu năng cao và các trung tâm dữ liệu, các kết nối giữa board-to-board, rack-to-rack và on-chip cần xử lý và truyền dẫn dữ liệu tốc độ cao mà đến nay giới hạn điện tử không đáp ứng được. Đặc biệt với sự phát triển của công nghệ quang tử, các kết nối quang trực tiếp đến nhà thuê bao, nhu cầu về tính toán, xử lý dữ liệu trong miền quang là hết sức cần thiết. Các giải pháp tập trung vào truyền dẫn quang giữa các kết nối trên chip và giữa các server, board-to-board và rack-to-rack sử dụng điều chế bậc cao phù hợp để cân bằng giữa công suất tiêu thụ và băng thông; xử lý dữ liệu tốc độ cao trên chip sử dụng các cổng logic, các bộ đệm và trễ trong miền quang. Nghiên cứu của luận án tập trung giải quyết một số các bài toán nêu trên trong một kiến trúc tổng thể của hệ thống kết nối, xử lý dữ liệu quang trong các hệ thống trung tâm dữ liệu và tính toán quang.

Trong nghiên cứu này, luận án tập trung thiết kế một số chức năng xử lý thông tin trong miền quang để dần thay thế các hệ thống máy tính và tính toán trong miền điện. Các thiết kế hướng đến sử dụng công nghệ mạch tích hợp CMOS, có thể tích hợp tất cả trên một chip để tạo thành một hệ thống máy tính trong tương lai.

Mục tiêu nghiên cứu

Mục tiêu của luận án là nghiên cứu, thiết kế được một số cấu trúc xử lý thông tin, truyền dẫn tốc độ cao trong miền quang ứng dụng trong các node trên chip/board, truyền dẫn dữ liệu giữa các trung tâm dữ liệu và trong hệ thống tính toán hiệu năng cao. Luận án đề xuất thiết kế cổng logic toàn quang sử dụng hiệu ứng giao thoa đa mode thay vì dùng hiệu ứng phi tuyến, thiết kế cấu trúc tạo được tín hiệu bậc cao PAM-4 truyền dẫn hiệu quả giữa các hệ thống board-to-board, rack-to-rack và on-chip và kỹ thuật làm chậm tín hiệu trong miền quang ứng dụng để làm bộ nhớ quang.

Nội dung nghiên cứu của luận án

Luận án nghiên cứu về vấn đề xử lý dữ liệu và truyền dẫn kết nối trong và giữa các hệ thống trung tâm dữ liệu, hệ thống tính toán hiệu năng cao tích hợp lai ghép quang, điện và toàn quang. Từ đó nghiên cứu các module thành phần để chuyển dần sang miền quang như các cấu trúc vi cộng hưởng, giao thoa đa mode, đường dẫn tín hiệu quang, kỹ thuật làm nhanh và làm chậm ánh sáng, kỹ thuật điều chế PAM-4. Luận án cũng nghiên cứu về kỹ thuật mô

hình và mô phỏng các module mới đề xuất theo công nghệ quang tử silic, phù hợp với công nghệ chế tạo vi mạch CMOS và các hệ thống toàn quang trong tương lai.

Đối tượng, phạm vi nghiên cứu

Đối tượng nghiên cứu của luận án là xử lý và truyền dẫn dữ liệu quang trong mạng kết nối quang, nghiên cứu về cổng logic toàn quang, kỹ thuật làm nhanh và làm chậm ánh sáng, hiệu ứng Fano và EIT toàn quang ứng dụng trong làm chậm ánh sáng, tạo tín hiệu PAM-4 ứng dụng trong các trung tâm dữ liệu, hệ thống tính toán hiệu năng cao và trong các hệ thống máy tính cỡ lớn.

Phương pháp nghiên cứu

Luận án sử dụng các mô hình toán học, giải thích thiết kế các cấu trúc và dùng các kỹ thuật mô phỏng số chuyên dụng để thiết kế, tối ưu hóa các cấu trúc thành phần, cụ thể:

- Phương pháp ma trận truyền dẫn: Mô hình các linh kiện trong miền quang như ống dẫn sóng, bộ ghép có hướng, bộ ghép giao thoa đa mode MMI, bộ vi cộng hưởng, cấu trúc giao thoa Mach-Zehnder qua ma trận.

- Phương pháp mô phỏng số: sử dụng các phương pháp mô phỏng cho linh kiện quang được sử dụng trong công nghiệp như phương pháp EME (Eigenmode Expansion), FDTD (Finite Difference Time Difference), BPM (Beam Propagation Method) và FDM (Finite Difference Method). Các mô phỏng trong miền điện và quang được ứng dụng để tìm ra các kích thước tối ưu cho linh kiện có thể hoạt động chính xác với ma trận được thiết kế.

- Phương pháp tối ưu hóa: Sử dụng mô phỏng số tại các tham số xung quanh tham số tìm được theo tính toán lý thuyết để tìm ra chính xác kích thước ứng dụng trong thực tiễn, trên cơ sở dùng công nghệ chế tạo theo chuẩn CMOS. Các thiết kế phù hợp với quy trình chế tạo chuẩn CMOS đến bước prototype.

Ý nghĩa khoa học và thực tiễn

Các kết quả luận án đóng góp mới cho các lĩnh vực liên ngành kỹ thuật máy tính, hệ thống mạng, vi mạch điện tử và có thể tạo ra một hướng nghiên cứu mới về ứng dụng cụ thể của các hiệu ứng vật lý trong tính toán quang và máy tính toàn quang.

Bố cục của luận án

Luận án gồm 4 chương:

Chương 1 trình bày các khái niệm cơ bản, một số cấu trúc thành phần dùng để thiết kế các module xử lý thông tin quang như cấu trúc vi cộng hưởng, cấu trúc giao thoa đa mode. Kỹ thuật mô hình hóa dùng giải tích và mô phỏng số để thiết kế và đánh giá các module cũng được trình bày ở Chương 1.

Chương 2 trình bày về thiết kế cổng logic toàn quang như NAND, OR và XNOR sử dụng cấu trúc tích hợp nhỏ gọn, suy hao thấp, có thể tích hợp lớn hơn để tạo thành các mạch logic cỡ lớn. Chương này trình bày 2 cấu trúc mới để tạo được cổng logic toàn quang sử dụng công nghệ quang tử silic và lai ghép plasmonic.

Chương 3 trình bày về thiết kế mới tạo cộng hưởng Fano và EIT ứng dụng trong làm nhanh và làm chậm ánh sáng.

Chương 4 trình bày thiết kế tạo tín hiệu PAM-4 có nhiều ưu điểm để thay thế các tín hiệu nhị phân, ứng dụng trong các kết nối quang board-to-board và đặc biệt giữa các hệ thống máy chủ, tác tăng chuyển mạch của hệ thống trung tâm dữ liệu.

Chương 1

Tổng quan về xử lý tín hiệu quang trong mạng

Chương 1 trình bày tổng quan về hệ thống tính toán hiệu năng cao và trung tâm dữ liệu toàn quang. Một số cấu trúc cơ bản để thiết kế nên các cổng logic, bộ trễ, bộ tạo tín hiệu PAM-4 xử lý và truyền dẫn tín hiệu trong miền quang trong các chương tiếp theo như ống dẫn sóng, cấu trúc giao thoa đa mode, cấu trúc vi cộng hưởng được trình bày ở Chương 1. Các thành phần của hệ thống tính toán, kết nối máy tính quang như bộ nhớ quang, bộ đệm, chuyển mạch quang, các cổng logic toàn quang, tạo tín hiệu đa mức truyền dẫn tốc độ cao trên các chip quang được thiết kế từ các thành phần cơ bản này. Chương 1 cũng trình bày về phương pháp mô hình hóa và mô phỏng số để thiết kế được sử dụng trong Luận án.

1.1 Hệ thống tính toán và kết nối quang trong các trung tâm dữ liệu

Trong những năm gần đây, các kiến trúc kết nối quang học khác nhau cho các DCN đã được đề xuất. Những kiến trúc này có thể được phân loại là kết hợp lai (hybrid) và toàn quang (all-optical). Trong kiến trúc toàn quang, bộ chuyển mạch quang được triển khai trong DCN để thay thế EPS ở tầng lõi và tầng tổng hợp của DCN.

1.2. Tình hình nghiên cứu trong và ngoài nước

Các nghiên cứu tổng hợp các nghiên cứu trước đó chỉ ra rằng có một số cách tiếp cận để thực hiện các cổng logic quang học dựa trên nhiều hệ thống vật liệu như logic quang học dựa trên vật liệu phi tuyến, giao thoa kế Mach-Zehnder với bộ dịch pha phi tuyến, bộ khuếch đại quang bán dẫn (SOAs), hệ thống cơ điện tử (MEMS), tinh thể quang tử dựa trên MMI, ống dẫn sóng Bragg, ống dẫn sóng plasmonic và ống dẫn sóng giao thoa đa mode.

Trong những năm qua, một lý thuyết chung để thực hiện xử lý tín hiệu quang dựa trên các phần tử MMI đã được trình bày. Các đề xuất cấu trúc dựa trên 2×2 , 3×3 và 5×5 MMI để triển khai nhiều cổng logic quang học bao gồm cổng NAND, OR, AND, NOT, XNOR và NORs đã được phát triển thêm dựa trên lý thuyết chung đó. Tuy nhiên, các cấu trúc logic quang sử dụng MMI trước đây phù hợp với tín hiệuOOK (On Off Keying), chưa phù hợp với tín hiệu điều chế pha và đa mức ví dụ như BPSK (Binary Phase Shift Keying), PAM-4 (Pulse Amplitude Modulation) trong mạng quang.

Các phương pháp quang tử khác nhau đã được đề xuất để tạo ra ánh sáng chậm và ánh sáng nhanh như sử dụng cấu trúc tinh thể hai chiều và tán xạ Brillouin kích thích (SBS). Ánh sáng chậm và ánh sáng nhanh cũng có thể được tạo ra dựa trên các thiết bị phân tán quang học như cách tử Bragg sợi nghiêng và cách tử Bragg sợi quang. Gần đây, bộ vi cộng hưởng đơn phi tuyến trên vật liệu silic cũng được thiết kế để thực hiện bộ nhớ quang thành công. Các mạch tích hợp quang tử được thực hiện dựa trên silic đã thu hút sự quan tâm lớn do các ưu điểm như kích thước nhỏ gọn, suy hao thấp và độ ổn định cao.

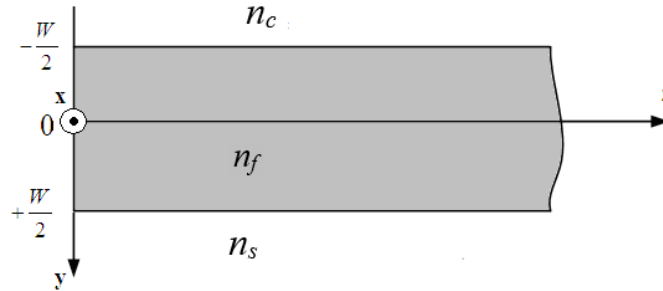
Điều chế PAM-4 là phù hợp để truyền dẫn, kết nối quang với công suất tiêu thụ phù hợp lại cho băng thông và tốc độ truyền dẫn cao. Để tạo ra tín hiệu PAM-4 truyền dẫn trong mạng quang, các cấu trúc dựa trên bộ điều chế MRM, bộ điều chế travelling-wave Mach-Zehnder (TWMZM), MZI, bộ điều chế polyme điện quang và bộ điều chế LiNbO_3 , hiệu ứng EIT đã được đề xuất. Các phương pháp trên có nhược điểm là yêu cầu mạch phức tạp và có dung sai chế tạo thấp. Ngoài ra, các cấu trúc này sử dụng bộ ghép định hướng nên rất khó điều khiển bộ ghép định hướng để đạt được tỷ lệ ghép chính xác.

1.3 Các thành phần hệ thống tính toán, kết nối toàn quang

1.3.1 Ống dẫn sóng (Optical waveguide-OWG)

Ống dẫn sóng phẳng như được chỉ ra ở Hình 1.7; trong đó W là chiều rộng của ống dẫn sóng, n_c , n_f và n_s ($n_f > n_s$ và $n_f > n_c$) là chiết suất của vỏ, lõi và đế của ống dẫn sóng. Giả sử z là chiều truyền dẫn tín hiệu.

Ánh sáng được truyền qua ống dẫn sóng theo nguyên tắc phản xạ toàn phần. Việc phân tích nguyên tắc truyền ánh sáng trong ống dẫn sóng phẳng được thực hiện theo phương pháp xấp xỉ quang hình học hoặc giải phương trình Maxwell trong ống dẫn sóng.



Hình 1.7. Ống dẫn sóng phẳng

1.3.2 Cấu trúc giao thoa đa mode (Multimode interference-MMI)

Dựa vào cấu trúc giao thoa đa mode MMI, đã có rất nhiều cấu trúc thiết bị chức năng được thiết kế và chế tạo như bộ ghép quang, bộ giám sát kênh quang, bộ chuyển mạch và điều chế quang sử dụng MZI, bộ điều chế/giải điều chế, cổng logic quang, các bộ phân chia cực quang, bộ định tuyến quang, bộ giải mã quang, cảm biến quang và laser. Bộ cộng hưởng MMI có thể được kết hợp với các thành phần khác để tạo ra các linh kiện chức năng đặc biệt như kết hợp với tinh thể quang, bộ cộng hưởng quang,...

Đặc tính của bộ ghép MMI có thể được đặc trưng bằng một ma trận, gọi là ma trận truyền dẫn **M**. Phương pháp phân tích MMI dựa vào ma trận truyền dẫn gọi là phương pháp ma trận truyền dẫn, TMM. Việc phân tích MMI dùng phương pháp TMM đơn giản, tính toán nhanh và cho kết quả chính xác. Do vậy, trong nghiên cứu này, phương pháp TMM được sử dụng.

1.3.3 Bộ vi cộng hưởng (Microring Resonator-MRR) và Mach Zehnder

Bộ vi cộng hưởng MRR (Microring Resonator) hay bộ cộng hưởng RR (Ring Resonator) được ứng dụng rất rộng rãi trong thiết kế các cấu trúc on-chip vi mạch quang, đặc biệt trong các hệ thống máy tính quang vì chúng có kích thước nhỏ. Rất nhiều thiết bị chức năng như bộ điều chế, giải điều chế, tách/ghép kênh, logic quang và lọc quang đã được thiết kế và chế tạo dựa vào MRR và RR. Cấu trúc vi cộng hưởng được phân tích dựa theo lý thuyết của Yariv. Từ đó đặc tính truyền dẫn của bộ vi cộng hưởng được mô phỏng.

1.2.4 Cộng hưởng Fano và bộ nhớ quang

Do đặc điểm bất đối xứng của cộng hưởng Fano, bộ cộng hưởng Fano có rất nhiều ứng dụng trong thực tiễn. Một số ứng dụng của cộng hưởng Fano như chuyển mạch quang với

công suất cực nhỏ, lọc quang, tạo hiệu ứng trong suốt cảm ứng EIT (electromagnetic induced transparency), làm chậm và nhanh ánh sáng, bộ đệm và bộ nhớ quang đã được thiết kế và chế tạo thành công.

Gần đây hiệu ứng Fano và EIT trong hệ thống nguyên tử đã được phát hiện trong hệ thống vi cộng hưởng quang. Trong luận án này, hiệu ứng Fano và EIT được phát hiện xảy ra trong một cấu trúc đặc biệt, từ đó có thể được ứng dụng để điều khiển tán sắc và vận tốc nhóm, tạo bộ đệm và bộ nhớ quang.

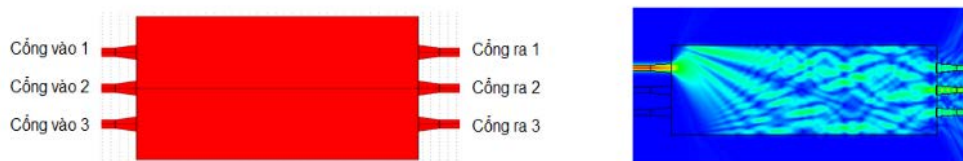
1.4 Kỹ thuật phân tích, mô phỏng, thiết kế mạch quang

1.4.1 Phân tích giải tích dùng ma trận truyền dẫn

Tín hiệu quang truyền dẫn trong các mạch quang được phân tích giải tích, sau đó dùng phương pháp mô phỏng số để tối ưu hóa. Thông thường phương pháp phân tích truyền mode (MPA- Mode Propagation Analysis) được sử dụng.

1.3.2 Mô phỏng số

Việc mô phỏng linh kiện quang tích hợp là việc giải phương trình Maxwell bằng số. Luận án sử dụng các phương pháp được dùng rộng rãi nhất hiện nay để mô phỏng linh kiện quang tích hợp là phương pháp BPM (Beam propagation method), FDTD (Finite difference time domain) và EME (Eigenmode Expansion). Các phương pháp mô phỏng này sử dụng các phần mềm thương mại thiết kế công nghiệp chuyên dụng như Omnisim của Photon Design, OptiFDTD của Optiwave.



Hình 1.11 Mô phỏng tín hiệu quang truyền qua 3x3 MMI dùng BPM

1.5 Kết luận Chương 1

Chương 1 trình bày về trung tâm dữ liệu và hệ thống tính toán cỡ lớn sử dụng kiến trúc quang. Các cấu trúc cơ bản như bộ vi cộng hưởng, ống dẫn sóng, cấu trúc giao thoa đa mode, kỹ thuật mô phỏng số và thiết kế dùng phương pháp giải tích cũng được trình bày ở chương này. Các đặc trưng cơ bản của các cấu trúc MMI, bộ ghép có hướng, cấu trúc giao thoa Mach-Zehnder, cấu trúc vi cộng hưởng được trình bày bằng mô hình toán học ở chương này. Các lý thuyết này làm cơ sở để thực hiện các nội dung chương tiếp theo.

Chương 2

Phân tích, thiết kế các cổng logic toàn quang

Chương 2 trình bày nguyên lý để tạo cổng logic toàn quang, từ đó đề xuất 2 cấu trúc mới dựa vào 4x4 MMI và 2x2 MMI kết nối để tạo thực hiện chức năng logic toàn quang ứng dụng trong xử lý thông tin trong các hệ thống tính toán hiệu năng cao và trung tâm dữ liệu quang. Hai cấu trúc tích hợp trên để silic tương thích với công nghệ CMOS được ứng dụng gồm SOI và plasmonic để giảm kích thước linh kiện được đề xuất và thiết kế.

2.1 Nguyên lý thực hiện cổng logic quang

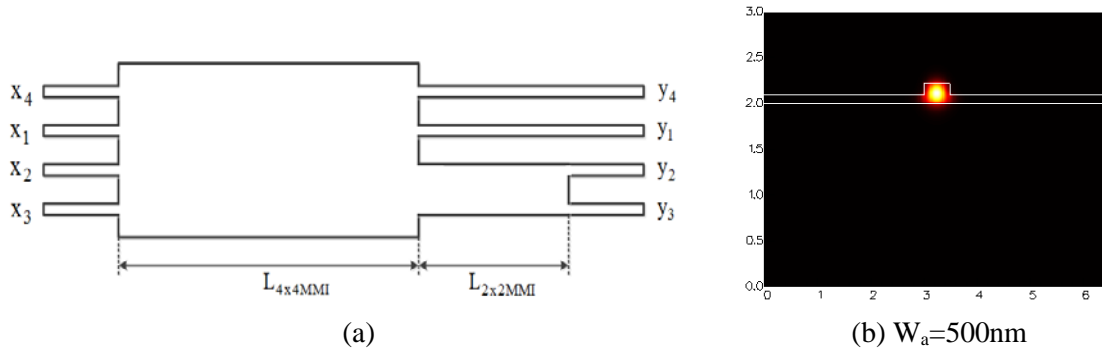
Các chức năng logic quang học có thể được thực hiện bằng cách sử dụng sự giao thoa giữa hai tín hiệu. Các cổng logic quang học có thể được thực hiện bằng cách sử dụng một bộ ghép MMI cùng với bộ dịch pha. Đối với cổng logic quang học dựa trên nguyên tắc MMI, thông tin được mã hóa ở đầu vào và đầu ra theo biên độ hoặc theo pha. Trong nghiên cứu này, mã hóa pha thông tin được sử dụng cho các tín hiệu đầu vào và mã hóa biên độ được sử dụng cho các tín hiệu đầu ra. Việc mã hóa này phù hợp với tín hiệu trong mạng thông tin quang. Luận án sử dụng logic “1” được biểu diễn bởi $1e^{j0}$ và logic “0” được biểu diễn bởi $0e^{j0}$. Để xác định mức logic ở đầu ra của thiết bị, công suất trong ống dẫn sóng đầu ra cần được so sánh với giá trị ngưỡng. Điều này có thể được thực hiện điện tử bằng cách kết nối các cổng đầu ra với mạch quyết định ngưỡng. Một cách tiếp cận khác là sử dụng thiết bị ngưỡng quang học dựa trên bộ ghép MMI hoạt động thay vì sử dụng thiết bị ngưỡng điện tử.

2.2 Cổng logic quang dùng 4x4 MMI

Hình 2.1 (a) thể hiện sơ đồ được đề xuất để triển khai cổng logic quang dựa trên cấu trúc 4x4 và 2x2 MMI. Biên độ phức tại cổng đầu ra y_2 được biểu diễn bởi:

$$y_2 = 0.5(jx_1 + x_2 + jx_3 - x_4) = 0.5(jx_1 - x_4) + 0.5(x_2 + jx_3) = f(x_2, x_3) \quad (2.1)$$

Với x_1, x_4 là các bộ dao động cục bộ và x_2, x_3 là các biến logic đầu vào và y_2 là biến logic đầu ra. Ở đây, giả định rằng bước sóng và sự phân cực của tín hiệu dao động cục bộ và tín hiệu thông tin là như nhau.



Hình 2.1. (a) Lược đồ đề xuất cho các cổng logic quang học và (b) Tín hiệu trong ống dẫn sóng

Trong nghiên cứu này, ống dẫn sóng SOI với chiều rộng 500nm, chiều cao 220nm và chiều cao phần nền là 90nm được sử dụng cho hoạt động ở chế độ đơn. Mode tín hiệu quang của ống dẫn sóng được mô phỏng theo phương pháp EME. Từ phương trình (2.1) chúng ta có thể đạt được các cổng logic XOR, XNOR, OR và NAND:

Bảng 2.1. Bảng chân lý cho cổng XOR

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($-\pi/2$)	0
0 (0)	1 ($\pi/2$)	1
1 (π)	0 ($-\pi/2$)	1
1 (π)	1 ($\pi/2$)	0

Bảng 2.2. Bảng chân lý cho cổng XNOR

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($\pi/2$)	1
0 (0)	1 ($-\pi/2$)	0
1 (π)	0 ($\pi/2$)	0
1 (π)	1 ($-\pi/2$)	1

Bảng 2.3. Bảng chân lý cho cổng OR

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 (0)	0
0 (0)	1 (π)	1
1 (π)	0 (0)	1
1 (π)	1 (π)	1

Bảng 2.4. Bảng chân lý cho cổng NAND

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 (0)	1
0 (0)	1 (π)	1
1 (π)	0 (0)	1
1 (π)	1 (π)	0

Thực hiện mô phỏng, sự truyền ánh sáng qua các cổng logic được đánh giá và khảo sát. Phương pháp BPM được sử dụng cho các mô phỏng. Các mô phỏng cho thấy hoạt động của cổng logic phù hợp với kết quả phân tích lý thuyết dùng phương pháp ma trận truyền dẫn.

Qua tính toán và mô phỏng, chiều dài tối ưu của bộ ghép 4x4 MMI và 2x2 MMI được tìm thấy tương ứng lần lượt là 139,6 μm và 17,61 μm .

Kết quả mô phỏng chỉ ra rằng đối với băng thông 30nm từ 1530nm đến 1560nm, CR thay đổi từ 18dB đến 28dB. Tỷ số này đáp ứng tốt hoạt động của cổng logic trong mạng quang với CR trung bình khoảng 12-15dB.

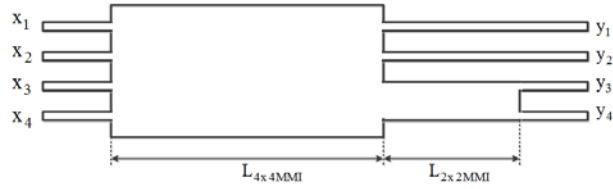
Kết quả mô phỏng số cho thấy rằng dung sai chế tạo là $\pm 500\text{nm}$, sự thay đổi 0,02 trong công suất đầu ra chuẩn hóa là có thể đạt được.

2.3 Cổng logic quang dùng cấu trúc plasmonic

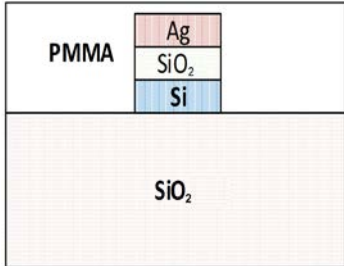
2.3.1 Thiết kế cổng XNOR và OR dùng cấu trúc plasmonic

Việc sử dụng cấu trúc plasmonic cho phép giảm kích thước mạch mặc dù suy hao thường lớn hơn cấu trúc SOI ở phần trước. Nguyên lý của cấu trúc plasmonic là truyền dẫn tín hiệu quang ở bề mặt giữa lớp kim loại và SiO₂.

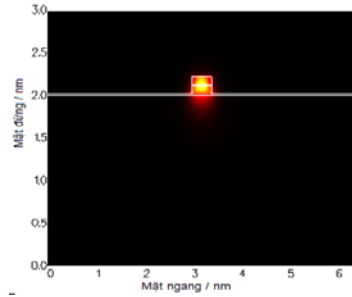
Hình 2.9 thể hiện một cấu trúc mới được đề xuất để thực hiện các cổng XOR và XNOR toàn quang dựa trên các bộ ghép MMI nối tiếp dùng ống dẫn sóng plasmonic. Ống dẫn sóng plasmonic lai silic được thể hiện trong Hình 2.9 (b). Sau khi thực hiện mô phỏng tối ưu theo phương pháp được đưa ra bởi Daoxin Dai, để giảm suy hao tín hiệu và đạt được kích thước nhỏ gọn, độ dày các lớp được tính toán và chọn lựa như sau: $h_{Si} = 230\text{nm}$, $h_{SiO_2} = 50\text{nm}$ và $h_{Ag} = 100\text{nm}$. Độ dày thích hợp của lớp SiO₂ được chọn để làm vùng khe giữa các lớp Ag và Si nhằm cân bằng các yếu tố mất mát và giam giữ ánh sáng. Bạc (Ag) được sử dụng do hệ số chiết suất phần ảo tương đối thấp, tức suy hao thấp. Các chiết suất của silic, SiO₂ và bạc là $n_{Si} = 3,455$, $n_{SiO_2} = 1,445$ và $n_{Ag} = 0,1453 + j11,3587$ ở bước sóng hoạt động xung quanh 1550nm. PMMA được chọn để bao phủ lớp phủ với chỉ số khúc xạ của nó là 1,481.



(a)



(b)



(c) $W_a=200\text{nm}$

Hình 2.9. (a) Sơ đồ đề xuất cho cổng logic quang học, (b) Mặt cắt ngang HPWG và (c) Tín hiệu trong ống dẫn sóng

Với x_1, x_4 là bộ dao động cục bộ và x_2, x_3 là các biến logic đầu vào và y_2 là biến logic đầu ra. Các mô phỏng cho thấy chiều rộng của 2x2 và 4x4 MMI được chọn lần lượt là 700nm và 2000nm. Ở đây chiều rộng ống dẫn sóng truy cập cho hoạt động chế độ đơn là $W_a = 200\text{nm}$.

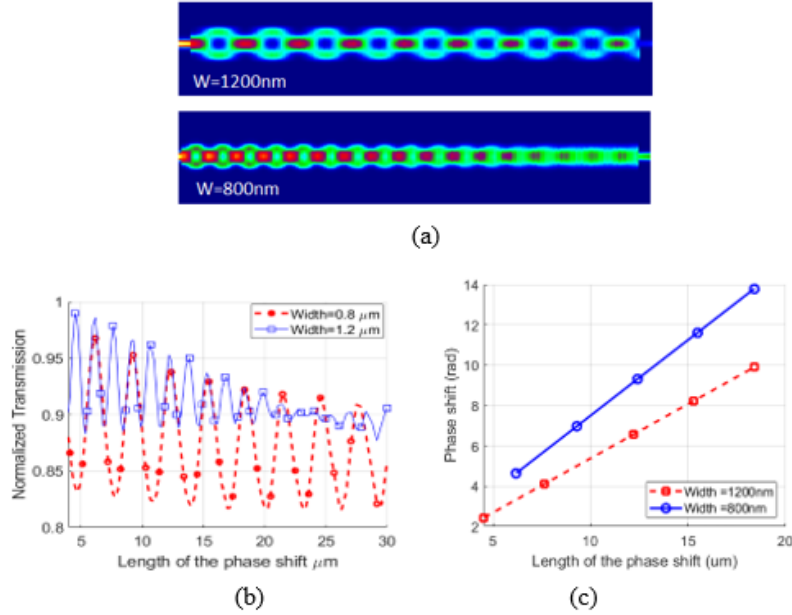
Bảng 2.5. Bảng chân lý cho cổng XOR sử dụng cấu trúc plasmonic

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($-\pi/2$)	0
0 (0)	1 ($\pi/2$)	1
1 (π)	0 ($-\pi/2$)	1
1 (π)	1 ($\pi/2$)	0

Bảng 2.6. Bảng chân lý cho cổng XNOR sử dụng cấu trúc plasmonic

Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 ($\pi/2$)	1
0 (0)	1 ($-\pi/2$)	0
1 (π)	0 ($\pi/2$)	0
1 (π)	1 ($-\pi/2$)	1

Để đạt được độ lệch pha cần thiết tại các ống dẫn sóng đầu vào của cấu trúc MMI, một bộ ghép 1x1 MMI được sử dụng.



Hình 2.11. (a) Lan truyền trường tín hiệu, (b) các vị trí tự tạo ảnh ở các độ dài khác nhau và (c) sự dịch pha thu được

Thực hiện mô phỏng, sự truyền ánh sáng (light propagation) qua các cổng logic được nghiên cứu. Các phương pháp số được sử dụng cho các mô phỏng. Các mô phỏng cho thấy có sự phù hợp tốt với phân tích lý thuyết

Chiều dài tối ưu của 4x4 MMI là $14,75\mu\text{m}$ và chiều dài tối ưu của bộ ghép 2x2 MMI được tìm thấy là $3\mu\text{m}$.

Công suất đầu ra chuẩn hóa của các cổng XNOR và XOR cho bit 1 và 0 tương ứng ở các bước sóng khác nhau. Chúng ta có thể thấy rằng công suất đầu ra không đổi trong một dải bước sóng lớn (khoảng 70nm).

Kết quả cho thấy, đối với băng thông 70nm từ 1530nm đến 1600nm , CR thay đổi từ 16dB đến 22dB .

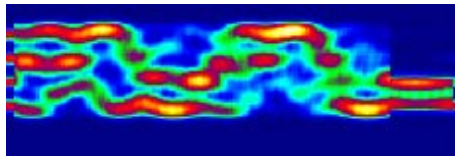
2.3.2 Thiết kế cổng NAND dùng plasmonic

Sử dụng các đầu vào dao động cục bộ $x_1 = 1e^{i\pi/2}$ và $x_4 = 1e^{i\pi/2}$. Đối với các cổng đầu vào x_2 và x_3 , *pha-0* tương ứng với logic 0 và *pha- π* tương ứng với logic 1. Bảng chân lý cho cổng logic NAND được thể hiện ở Bảng 2.7.

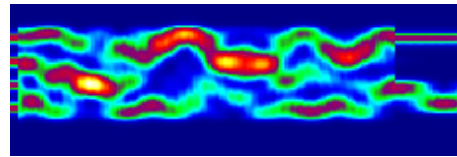
Các mô phỏng cho thấy có sự thống nhất tốt với phân tích lý thuyết được đưa ra bởi Bảng 2.7.

Bảng 2.7. Bảng chân lý của cổng logic NAND sử dụng cấu trúc plasmonic

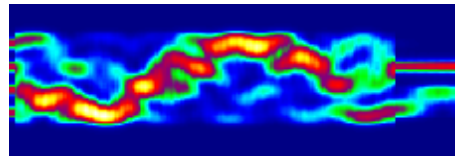
Logic đầu vào		Logic đầu ra
x_2 (pha)	x_3 (pha)	$y_2 = f(x_2, x_3)$
0 (0)	0 (0)	1
0 (0)	1 (π)	1
1 (π)	0 (0)	1
1 (π)	1 (π)	0



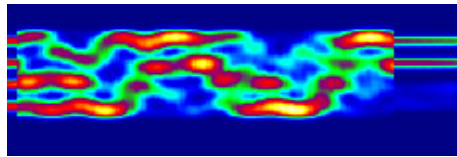
(a) Đầu vào 00



(b) Đầu vào 01



(c) Đầu vào 10



(d) Đầu vào 11

Hình 2.17. Cổng NAND với các tín hiệu đầu vào 00, 01, 10, 11 dùng plasmonic

Công suất đầu ra không đổi trong một phạm vi bước sóng lớn (khoảng 70nm). Kết quả CR cho các cổng NAND được chỉ ra rằng đối với băng thông 70nm từ 1530nm đến 1600nm, CR thay đổi từ 13dB đến 25,8dB.

2.4 Kết luận Chương 2

Trong chương này, nghiên cứu sinh đã trình bày một cấu trúc để triển khai các cổng logic XOR, OR, XNOR và NAND toàn quang, một cấu trúc để triển khai các cổng logic XOR, XNOR toàn quang dựa trên ống dẫn sóng plasmonic lai silic, một cấu trúc để triển khai cổng logic NAND toàn quang dựa trên ống dẫn sóng plasmonic lai silic. Các cấu trúc đề xuất chỉ dựa trên một 4x4 MMI nối tiếp với một bộ ghép 2x2 MMI và chúng có ưu điểm là dễ chế tạo, dung sai chế tạo lớn, tỷ lệ tương phản khá lớn và băng thông cao.

Chương 3

Phân tích, thiết kế cấu trúc làm nhanh, chậm ánh sáng và ứng dụng cho trễ/ đệm quang

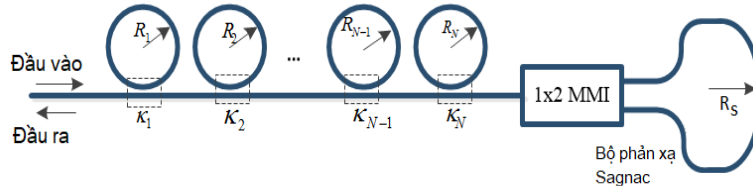
Chương 3 trình bày kỹ thuật thiết kế bộ trễ, bộ giam giữ và làm trễ tín hiệu trong miền quang (giam giữ ánh sáng) sử dụng các cấu trúc giao thoa đa mode MMI và vi cộng hưởng phối hợp với cấu trúc phản hồi Sagnac. Các cấu trúc này được ứng dụng cho thiết kế các bộ đệm và bộ nhớ quang.

3.1 Bộ đệm quang dùng vi cộng hưởng

Nguyên lý cơ bản của thực hiện bộ làm nhanh và làm chậm ánh sáng (fast and slow light) trong nghiên cứu dựa vào kỹ thuật điều khiển trễ nhóm âm và dương khi tín hiệu đi qua bộ vi cộng hưởng. Từ đó, vận tốc ánh sáng có thể điều khiển được qua cấu trúc. Ở đây nghiên cứu sinh sử dụng bộ phản xạ Sagnac để tăng cường thời gian làm nhanh và làm chậm, do vậy thời gian nhớ ánh sáng có thể lâu hơn so với các bộ làm nhanh và làm chậm trước đây.

3.1.1 Cấu trúc

Cấu trúc gồm N bộ vi cộng hưởng ghép nối tiếp nhau, cuối cùng kết nối với một bộ phản xạ Sagnac. Toàn bộ cấu trúc được thiết kế sử dụng ống dẫn sóng silic, do đó tương thích với công nghệ chế tạo vi mạch CMOS hiện nay.



Hình 3.1 Bộ cộng hưởng vi mạch ghép nối tiếp với bộ phản xạ vòng Sagnac

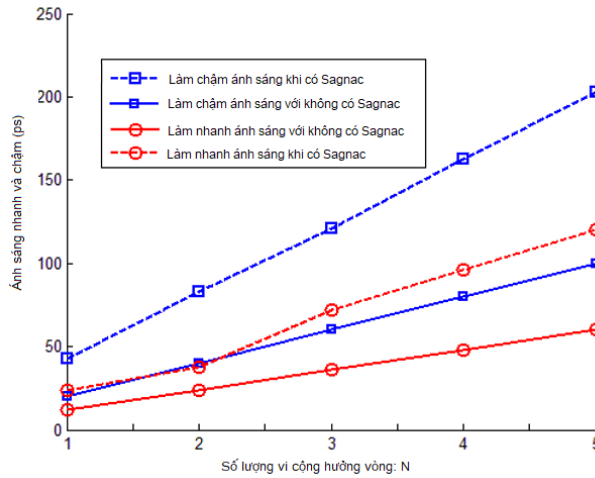
3.1.2 Cấu trúc vi cộng hưởng ghép nối tiếp

Trong nghiên cứu này, cấu trúc SCISSOR kết hợp với bộ phản xạ Sagnac được sử dụng để tăng cường gấp đôi thời gian trễ và thời gian làm nhanh so với cấu trúc đã đề xuất. Cấu trúc gồm N bộ vi cộng hưởng giống nhau được thiết kế. Kết quả mô phỏng cho thấy việc làm nhanh và làm chậm ánh sáng được cải thiện N lần so với chỉ dùng một bộ vi cộng hưởng.

3.1.3 Cấu trúc nhiều bộ vi cộng hưởng sử dụng bộ Sagnac

Trong nghiên cứu này, nghiên cứu sinh sử dụng thêm bộ ghép 1x2 và cấu trúc Sagnac như ở Hình 3.1. Mô phỏng lấy ví dụ với $N=1$ và 2. Khi sử dụng bộ Sagnac, các trễ xung 43ps và 83ps với $N=1$ và 2 tương ứng so với trễ xung 20ps và 40ps khi không sử dụng bộ Sagnac. Việc làm nhanh xung đạt 25ps và 50ps so với khi không sử dụng bộ Sagnac là 12ps và 24ps tương ứng.

Bằng cách điều khiển hệ số ghép của bộ ghép, việc làm nhanh và chậm ánh sáng có thể đạt được, làm nhanh và chậm ánh sáng được tăng cường gấp 2 lần so với trước đây nhờ sử dụng cấu trúc Sagnac. Kết quả lý thuyết phân tích dùng mô hình toán học sau đó được đánh giá và so sánh dùng thuật toán mô phỏng số FDTD. Hình 3.9 chỉ ra thời gian trễ và làm nhanh của xung tương ứng với số bộ vi cộng hưởng N từ 1 đến 5 tương ứng. Kết quả so sánh sử dụng mô phỏng FDTD và phân tích lý thuyết là tương đồng.



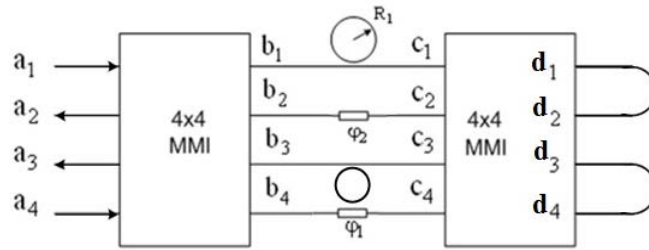
Hình 3.9 Thời gian trễ và làm nhanh khi có và không có bộ phân xạ Sagnac

3.2 Bộ đệm quang dùng vi cộng hưởng 4x4 MMI

3.2.1 Cấu trúc và nguyên lý hoạt động

Sơ đồ cấu trúc được thể hiện trong Hình 3.11 Cấu trúc đề xuất bao gồm một bộ ghép 4x4 MMI được kết nối với một bộ ghép MMI 4x4 thứ hai thông qua bốn cánh, với a_i, b_i, c_i, d_i ($i=1, \dots, 4$) là các biên độ phức (complex amplitudes) tại các ống dẫn sóng đầu vào và đầu ra. Hai bộ vi cộng hưởng vòng được đưa vào hai cánh trên và bộ di pha φ_1, φ_2 ở các cánh còn lại.

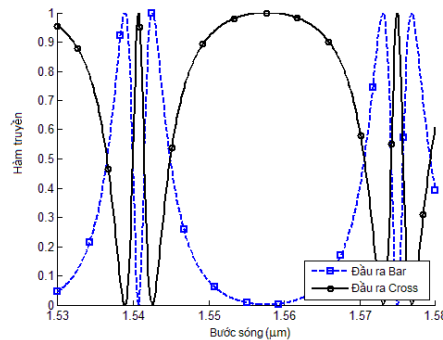
Ở đây, bằng cách đưa hai bộ di pha vào hai cánh, chúng ta có thể đạt được hai hình dạng đường cộng hưởng Fano có thể điều chỉnh độc lập trong một dải tần số rất hẹp. Bằng cách ghép nối tiếp hai hình dạng đường cộng hưởng Fano độc lập, chúng ta đạt được hiệu ứng EIT (Electromagnetic Induced Transparency).



Hình 3.11 Sơ đồ của một bộ vi cộng hưởng kết hợp với cấu trúc 4x4 GMZI

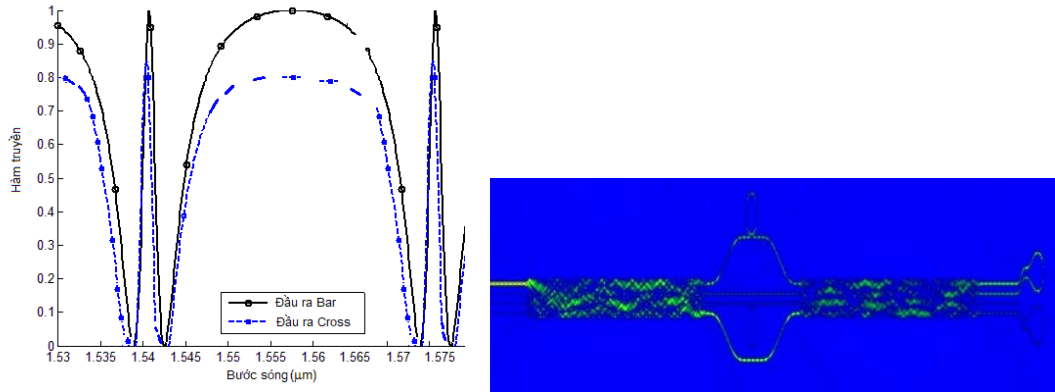
Các thông số được tính toán và sử dụng trong thiết kế như sau: ống dẫn sóng có độ dày silic tiêu chuẩn là $h_{co} = 220nm$ và chiều rộng ống dẫn sóng truy cập là $W_a = 0,5 \mu m$ cho hoạt động chế độ đơn mode. Giả thiết rằng các thiết kế dành cho phân cực TE ở bước sóng quang trung tâm $\lambda = 1550nm$. Bằng cách sử dụng mô phỏng BPM, chiều rộng tối ưu của MMI được tìm thấy là $W_{MMI} = 6\mu m$ cho thiết bị nhỏ gọn và hiệu suất cao. Mô phỏng 3D-BPM cho bộ ghép 4x4 MMI nối tiếp này cho thấy chiều dài tối ưu của mỗi bộ ghép MMI là được tìm thấy là $L_{MMI} = 141,7 \mu m$.

Nghiên cứu chỉ ra rằng hàm truyền có dạng phổ cộng hưởng Fano và hình dạng có thể được điều chỉnh bằng cách điều chỉnh các bộ dịch pha ϕ_1 và ϕ_2 .



Hình 3.16. Hiệu ứng EIT được tạo ra bởi cấu trúc

Các mô phỏng FDTD thể hiện sự phù hợp tốt với phân tích lý thuyết.



Hình 3.17. Mô phỏng FDTD của linh kiện

3.4 Kết luận Chương 3

Chương này, nghiên cứu sinh đã đề xuất cấu trúc làm nhanh và làm chậm ánh sáng sử dụng cấu trúc nhiều bộ ghép kết hợp bộ phản xạ Sagnac. Kết quả cho thấy hệ thống mới có khả năng tăng cường gấp đôi so với hệ thống cũ. Chương này nghiên cứu sinh cũng đã trình bày nghiên cứu cấu trúc mới để đạt được các hình dạng phổ cộng hưởng Fano có thể điều chỉnh và hiệu ứng giống như EIT. Cấu trúc được đề xuất dựa trên bộ giao thoa đa mode 4x4. Bằng cách ghép nối tiếp hai cộng hưởng Fano độc lập, hiệu ứng EIT đạt được. Thiết kế này của thiết bị được đề xuất dựa trên ống dẫn sóng silic. Toàn bộ cấu trúc linh kiện có thể được chế tạo trên cùng một chip bằng công nghệ CMOS. Phương pháp giải tích và phương pháp BPM được sử dụng để phân tích và thiết kế linh kiện. Sau đó, phương pháp FDTD được sử dụng để so sánh với phương pháp phân tích. Nghiên cứu sinh đã nghiên cứu về cộng hưởng Fano và đề xuất cấu trúc tạo cộng hưởng Fano. Từ kết quả của nghiên cứu này, các bộ nhớ quang, xử lý tín hiệu quang trong mạng máy tính quang sẽ được tiếp tục nghiên cứu.

Chương 4

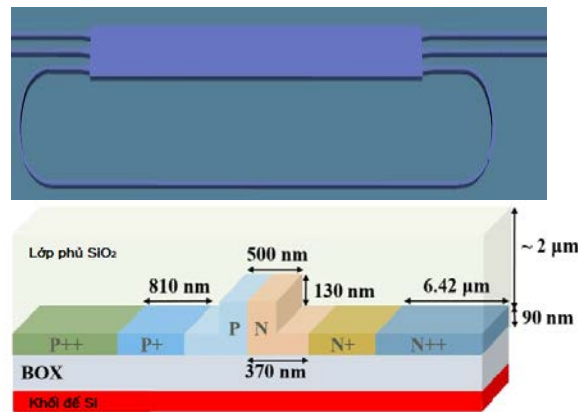
Phân tích và thiết kế cấu trúc tạo tín hiệu đa mức PAM-4 cho hệ thống kết nối máy tính quang

Chương 4 trình bày phương pháp mới tạo tín hiệu PAM-4 dùng 3x3 MMI và 4x4 MMI sử dụng hiệu ứng Fano để giảm công suất và tăng băng thông, ứng dụng cho các hệ thống tính toán quang, truyền dẫn trong giữa các hệ thống trong trung tâm dữ liệu yêu cầu tốc độ cao.

4.1 Tạo tín hiệu PAM-4 dùng 3x3 MMI

Trong những năm gần đây, một số cấu trúc mới chỉ dựa trên một bộ ghép 3x3 MMI cho độ trong suốt cảm ứng điện từ (EIT), tạo hiệu ứng Fano, cảm biến sinh học có độ nhạy cao đã được nghiên cứu và đề xuất thiết kế. Tuy nhiên, bộ ghép 3x3 MMI được áp dụng cho các mạch tích hợp quang để có tốc độ cao, kết nối quang trên chip trong các hệ thống tính toán hiệu suất cao và mạng trung tâm dữ liệu vẫn chưa thành hiện thực. Do đó, trong nghiên cứu này, nghiên cứu sinh trình bày và đề xuất kiến trúc mới để thực hiện hệ thống tín hiệu PAM-4 bằng cách sử dụng bộ cộng hưởng vòng dựa trên bộ ghép nối 3x3 MMI. Các mạch quang tử tích hợp nền silic quy mô lớn trở nên khả thi và thực tế hơn.

Hình 4.4 là sơ đồ của kiến trúc PAM-4 được đề xuất dựa trên bộ cộng hưởng vòng 3x3 MMI.



Hình 4.4. Kiến trúc thể hệ PAM-4 dựa trên bộ cộng hưởng vòng dựa trên bộ ghép MMI 3x3 với hai bộ dịch pha được phân đoạn

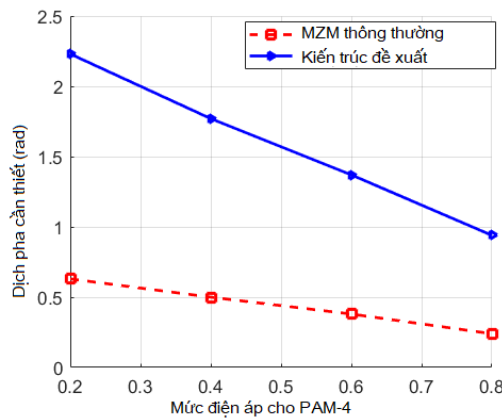
Để hoạt động chính xác như phân tích lý thuyết bằng phương pháp ma trận, các mô phỏng số của bộ ghép 3x3 MMI được thực hiện để tìm được chiều dài tối ưu của bộ ghép MMI là $107,8\mu m$. Kết quả cho thấy rằng dung sai chế tạo $\pm 30nm$ theo chiều dài MMI gây ra sự dao động trong công suất đầu ra là 0,05 so với công nghệ chế tạo CMOS hiện có với lỗi chế tạo là $\pm 5nm$, bộ cộng hưởng vi mạch dựa trên bộ ghép 3x3 MMI GI có chế tạo dung sai rất lớn.

Để đạt được bốn mức PAM-4 là 0,2, 0,4, 0,6 và 0,8, chỉ cần một sự dịch pha rất nhỏ của cấu trúc đề xuất so với các cấu trúc trước đây. Bằng cách áp dụng hai tín hiệu điện nhị phân độc lập non-return-to-zero (NRZ) V0 và V1 với điện áp đỉnh-đỉnh khác nhau ở hai ống dẫn sóng đầu ra, bốn mức khác biệt cho các bit dữ liệu 00, 01, 10, 11 được thu nhận trong công suất ra. Mô hình hóa được sử dụng để tìm ra các điện áp cần thiết để đạt được 4 mức công suất cách đều nhau, đồng thời khai thác toàn bộ dải động của quá trình truyền đầu ra.

Bảng 4.1. Mức PAM-4 dựa trên hai bộ di pha được phân đoạn

PAM-4 Bits	Mức PAM-4 (Truyền chuẩn hóa)	Dịch pha cần thiết cho MZM thông thường	Dịch pha cần thiết cho cấu trúc đề xuất
00	V0 (0,2)	2,23 rad	0,63 rad
01	V1 (0,4)	1,77 rad	0,50 rad
10	V2 (0,6)	1,37 rad	0,38 rad
11	V3 (0,8)	0,94 rad	0,24 rad

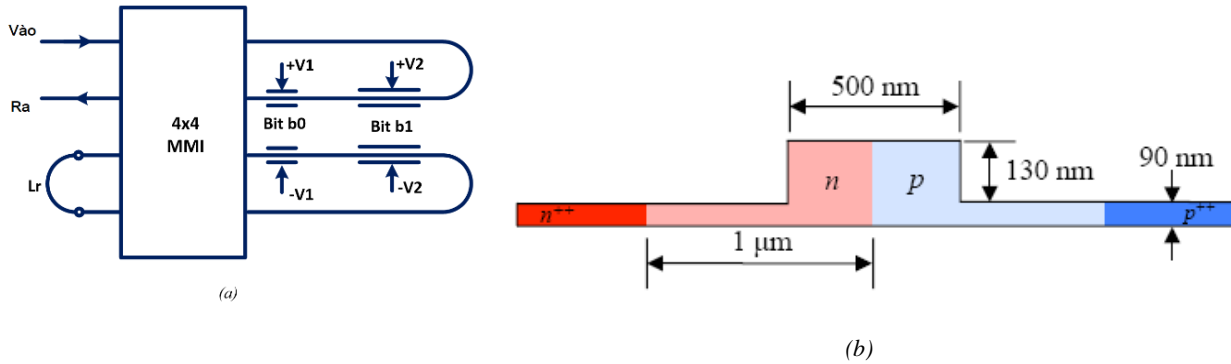
Toàn bộ nguyên lý làm việc của thiết bị được xác minh bằng cách sử dụng các mô phỏng FDTD. Hình 4.10 cho thấy các mô phỏng FDTD cho 4 mức PAM-4: 00, 01, 10 và 11 được đưa vào các bộ dịch pha được phân đoạn tương ứng. Kết quả mô phỏng FDTD cho thấy kết quả phù hợp với phân tích lý thuyết dùng giải tích.

**Hình 4.9.** Các dịch pha cần thiết cho các mức PAM-4**Bảng 4.2.** So sánh các kiến trúc PAM-4

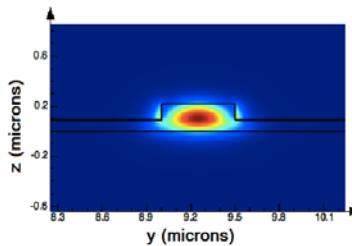
Nghiên cứu (trong TLTK)	Kiến trúc	Kiểu	$v_{\pi}L$ (V.cm)	ER (dB)	V_{pp} (V)
[177]	DD- MZM	PIN	2,5	2,5	1,66
[38]	SD-MZM	PN	2,5	4,7	2,5
[119]	SD-MZM	PN	2,8	3,8	4,8
[31]	DD-MZM	PN	2,62	4	1,6
[41]	MZI MRR	Two PN	NA	25	3
[84]	DD-MIM	Two PN	3,2	5,2	4,92
Luận án	Fano	Two PN	1,2	13,8	1,6

4.2 Tạo tín hiệu PAM-4 dùng 4x4 MMI

Sơ đồ được đề xuất cho tín hiệu PAM-4 sử dụng bộ ghép 4x4 MMI được thể hiện trong Hình 4.14 (a). Cấu trúc sử dụng hai phân đoạn dịch pha tiếp giáp PN, sử dụng hiệu ứng phân tán plasma trong ống dẫn sóng silic. Cấu trúc của ống dẫn sóng silic quang học và bộ dịch pha PN được thể hiện trong Hình 4.14 (b). Sự thay đổi trong chỉ số khúc xạ được mô tả bởi mô hình Soref và Bennett.



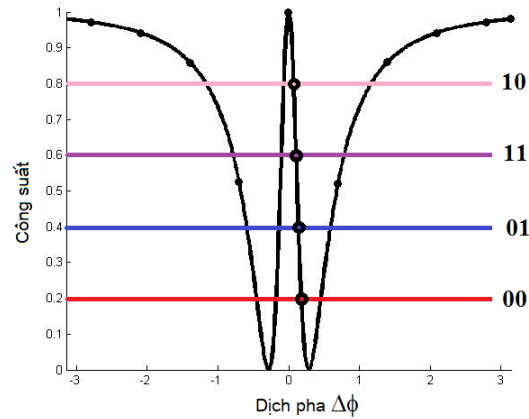
Hình 4.14. (a) Sơ đồ tín hiệu PAM-4 dựa trên bộ ghép 4x4 MMI và (b) bộ dịch pha PN junction với độ lệch dự trữ và các thông số cấu trúc của ống dẫn sóng



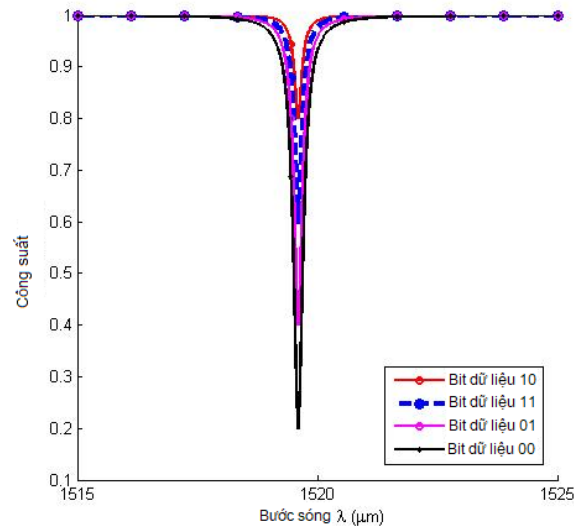
Hình 4.15. Mode được tính bằng phương pháp EME

Qua phân tích tính toán và sử dụng mô phỏng BPM, kết quả đã chỉ ra rằng chiều rộng của MMI tối ưu là $W_{MMI} = 6\mu m$ cho thiết bị nhỏ gọn và hiệu suất cao. Chiều dài tính toán của bộ ghép 4x4 MMI được tìm thấy là $L_{MMI} = 141,7 \mu m$ như được chỉ ra trong Hình 4.16 khi tín hiệu đầu vào ở cổng 1..

Truyền dẫn chuẩn hóa của thiết bị khi cộng hưởng khi hệ số suy hao $\alpha = 0.995$ được thể hiện trong Hình 4.18. Kết quả này cho thấy mức tiêu thụ điện năng để đạt được PAM-4 đa mức thấp hơn nhiều so với cấu trúc thông thường dựa trên bộ điều chế Mach Zehnder.



Hình 4.18. Truyền dẫn tại cộng hưởng với các bộ dịch pha khác nhau

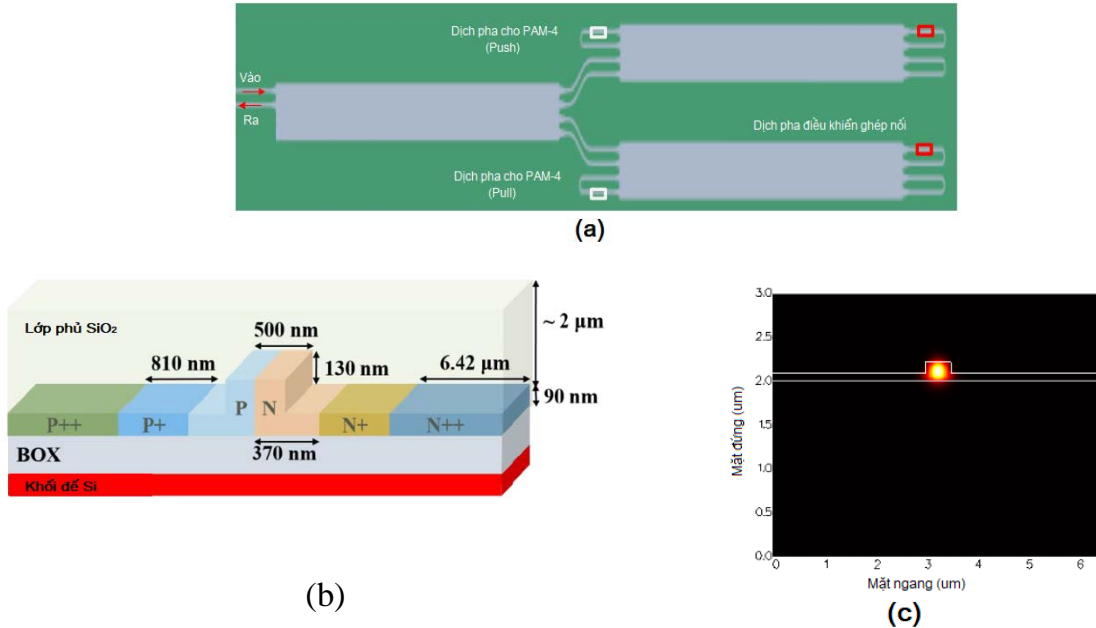


Hình 4.19. Truyền dẫn của cấu trúc đề xuất cho các bit dữ liệu đầu vào 00, 01, 10, 11

4.3 Tạo tín hiệu PAM-4 không chirp

Trong nghiên cứu này, nghiên cứu sinh trình bày một kiến trúc mới để thực hiện hệ thống tạo tín hiệu PAM-4 bằng cách sử dụng các bộ ghép nối 4x4 MMI ghép nối tiếp không chirp (without chirp). Hai bộ ghép MMI 4x4 hoạt động như hai bộ vi cộng hưởng với tỷ lệ ghép nối có thể kiểm soát được. Bộ vi cộng hưởng được điều khiển hoạt động trong vùng ghép nối. Hai bộ dịch pha ở các ống dẫn sóng vòng được sử dụng trong cấu hình push-pull để có được tham số không chirp. Do đó, có thể giảm đáng kể mức tiêu thụ điện năng so với kiến trúc MZI thông thường. Luận án chỉ ra rằng có thể đạt được băng thông và dung sai chế tạo của cấu hình đề xuất so với cấu trúc thông thường. Hình 4.20(a) thể hiện một sơ đồ của kiến trúc PAM-4 dựa trên các 4x4 MMI ghép nối tiếp. Cấu trúc của bộ dịch pha được sử dụng cho thế hệ PAM-4 và điều khiển khớp nối quan trọng cho bộ vi cộng hưởng được thể hiện trong Hình 4.20 (b). Cấu trúc ống dẫn

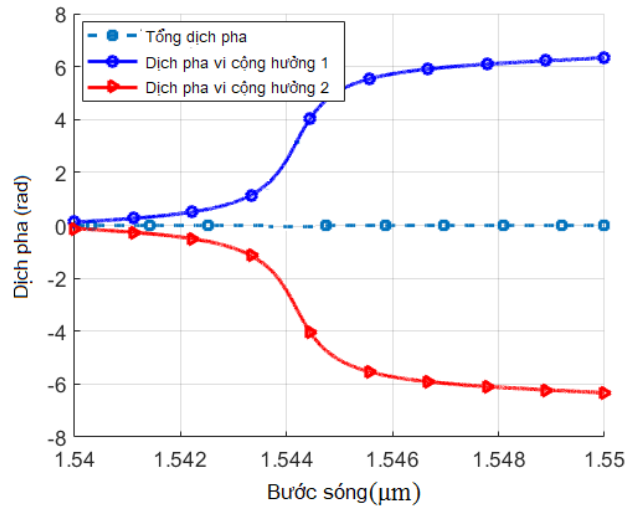
sóng với lõi Si không pha tạp P và vùng N được thể hiện trong Hình 4.20 (c). Một bộ cộng hưởng vi mô có bán kính $15 \mu\text{m}$ được sử dụng. Ống dẫn sóng có chiều rộng 500 nm và chiều cao 220 nm , và nằm trên một phiến 90 nm cho một chế độ hoạt động đơn.



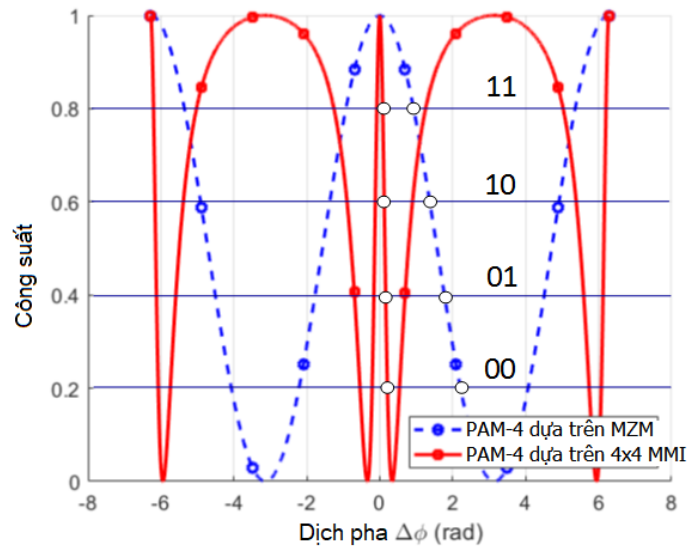
Hình 4.20. (a) Sơ đồ tạo tín hiệu PAM-4 dựa trên bộ ghép 4×4 MMI nối tiếp và (b) Hình chiếu cắt ngang của bộ dịch pha (c) chế độ cơ bản của ống dẫn sóng sườn SOI

Sử dụng phương pháp truyền lan, chiều rộng và chiều dài của bộ ghép MMI được tìm thấy là $6 \mu\text{m}$ và $225 \mu\text{m}$ tương ứng.

Hình 4.24 mô phỏng đáp ứng pha của cấu trúc được đề xuất bởi luận án. Kết quả mô phỏng cho thấy rằng tất cả các pha đều bằng không, bất kể giá trị dữ liệu đầu vào nào được áp dụng. Kết quả là, cấu trúc được đề xuất có khả năng điều chế zero-chirp.



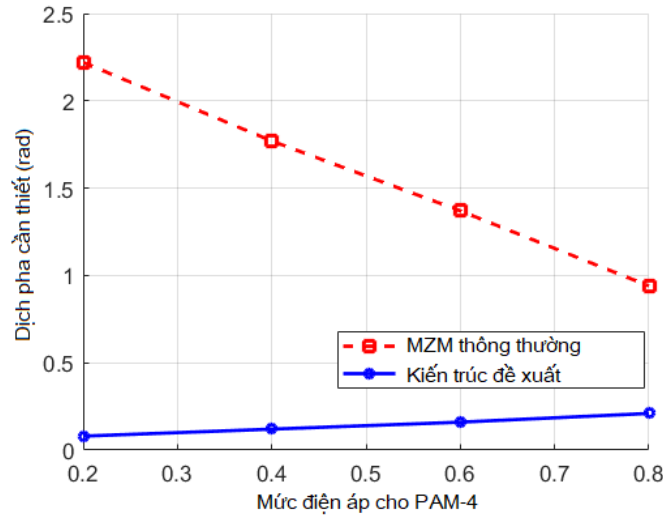
Hình 4.24. Đáp ứng pha của linh kiện zero chirp được đề xuất



Hình 4.25. So sánh MZM và kiến trúc thế hệ PAM-4 được đề xuất trong nghiên cứu

Bảng 4.2. Các mức PAM-4 dựa trên hai bộ dịch pha được phân đoạn

Bit	Điện áp yêu cầu cho các mức PAM-4	Dịch pha cần thiết cho MZM	Dịch pha ở bộ cộng hưởng 1 (Push)	Dịch pha ở bộ cộng hưởng 2 (Pull)
00	V0 (0,2)	2,23 rad	0,08 rad	0,21 rad
01	V1 (0,4)	1,77 rad	0,12 rad	0,16 rad
10	V2 (0,6)	1,37 rad	0,16 rad	0,12 rad
11	V3 (0,8)	0,92 rad	0,21 rad	0,08 rad



Hình 4.26. Dịch pha cần thiết cho các mức PAM-4 (chuẩn hóa)

4.4 Kết luận Chương 4

Trong chương này, nghiên cứu sinh đã trình bày một kiến trúc mới để đạt được tín hiệu PAM-4 chỉ sử dụng một bộ ghép 3x3 MMI dựa trên công nghệ CMOS, đề xuất hai phương pháp mới thực hiện điều chế PAM-4 ứng dụng cho các hệ thống kết nối quang và các mạng trung tâm dữ liệu lớn. Phương pháp được đề xuất có thể cung cấp dung sai chế tạo tốt và băng thông cao, đặc biệt thích hợp cho các hệ thống phức tạp với một số kênh tích hợp trên chip. Một cấu trúc điều chế sử dụng chỉ một bộ ghép giao thoa đa mode 4 cổng vào, ra kết hợp với hai bộ dịch pha cho 2 bits thông tin. Ở cấu trúc còn lại, cấu hình push-pull được sử dụng ở hai bộ vi cộng hưởng vòng, do đó có thể đạt được zero chirp. Cấu trúc có thể tạo ra hình dạng giống như Fano và nghiên cứu sinh sử dụng đặc tính này để giảm mức tiêu thụ điện năng xuống mức rất thấp, với mức thấp hơn từ 4 đến 28 lần so với thể hệ PAM-4 dựa trên Mach Zehnder Modulator (MZM), tương ứng.

KẾT LUẬN

Luận án đã nghiên cứu, đề xuất thiết kế mới cổng logic toàn quang NAND, XNOR, OR, XOR sử dụng một cấu trúc MMI duy nhất, giúp cho giảm kích thước, suy hao thấp, hiệu năng hoạt động cao, từ đó có khả năng kết nối để tạo thành các mạch logic phức tạp xử lý tín hiệu toàn quang trong các module tính toán quang của hệ thống tính toán hiệu năng cao và trung tâm dữ liệu. Luận án đã đề xuất được thiết kế mới cấu trúc tích hợp quang tạo ra hiệu ứng Fano và EIT dùng cho bộ nhớ quang, làm nhanh và làm chậm ánh sáng. Cấu trúc này cho phép giam giữ ánh sáng để lưu thông tin trong miền toàn quang. Cuối cùng luận án đã đề xuất 2 phương pháp mới

để tạo tín hiệu điều chế 2 mức PAM-4 ứng dụng cho truyền dẫn trên chip và giữa các board, giữa các máy chủ kết nối quang với ưu điểm nâng tốc độ truyền dẫn, giải quyết được vấn đề nghẽn băng thông tính toán.

1. Các đóng góp của luận án

Luận án có 3 đóng góp chính:

1. Đã phân tích và thiết kế được một số cổng logic toàn quang thực hiện chức năng NAND, XNOR, XOR và OR sử dụng duy nhất cấu trúc tích hợp 2x2 và 4x4 MMI kết nối với nhau sử dụng hiệu ứng giao thoa và plasmonics, ứng dụng trong các node mạng trên chip và board của hệ thống kết nối quang.

2. Đã phân tích, đề xuất được thiết kế cấu trúc tạo cộng hưởng Fano và EIT sử dụng MMI kết hợp vi cộng hưởng ứng dụng trong làm nhanh và làm chậm ánh sáng và tạo bộ trễ/đệm quang để xử lý, làm trễ tín hiệu quang ứng dụng trong các node định tuyến và xử lý tiêu đề gói tin quang truyền dẫn trên chip và giữa các hệ thống kết nối, tính toán hiệu năng cao trong miền quang.

3. Đã đề xuất được thiết kế 2 bộ tạo tín hiệu PAM-4 so với tín hiệu số OOK (On-Off Keying) truyền thông sử dụng cấu trúc 3x3 MMI và 4x4 MMI nhằm tăng băng thông, tốc độ dữ liệu ứng dụng trong các kết nối quang trong các trung tâm dữ liệu thế hệ mới. Cấu trúc có ưu điểm tích hợp trên chip, từ đó có thể tạo ra được nhiều cổng kết nối trên một board đơn ứng dụng cho các trung tâm dữ liệu và hệ thống tính toán hiệu năng cao trong miền quang.

2. Hướng phát triển của luận án

Trên cơ sở các kết quả đạt được, luận án có một số hướng phát triển trong tương lai như:

- Tích hợp các cổng logic quang với các thiết bị chủ động (active devices) để tạo ra các vi mạch logic khả trình FPGA quang, các khối số học và logic học ALU quang [54] để xây dựng các hệ thống máy tính quang.

- Thiết kế các bộ nhớ RAM và ROM quang, từ đó xây dựng các CAM (Content Addressable Memory) ứng dụng trong hệ thống tính toán quang trên cơ sở cấu trúc làm nhanh và làm chậm ánh sáng được đề xuất trong luận án.

DANH MỤC CÔNG TRÌNH KHOA HỌC CÔNG BỐ

[CT01] Le Duy Tien, Le Trung Thanh, and Laurence W. Cahill, "Optical Signal Processing Based on 4×4 Multimode Interference Structures", 2018 20th International Conference on Transparent Optical Networks (ICTON), DOI:10.1109/ICTON.2018.8473586, July 2018.

[CT02] Nguyen Thi Hong Loan, Le Duy Tien, Nguyen Anh Tuan, Le Minh Duong, and Le Trung Thanh, "All-Optical XNOR and XOR Logic Gates Based on Ultra-Compact Multimode Interference Couplers Using Silicon Hybrid Plasmonic Waveguides", in Communications, Signal Processing, and Systems, Singapore, Q. Liang, W. Wang, X. Liu, Z. Na, and B. Zhang, Eds., 2022: Springer Singapore, pp. 1072-1079.

[CT03] Nguyen Thi Hong Loan, Le Duy Tien, Nguyen Anh Tuan, and Le Trung Thanh, "Ultra-Compact All-Optical NAND Logic Gates Based on 4 × 4 MMI Coupler Using Silicon Hybrid Plasmonic Waveguides", in Recent Advances in Electrical and Electronic Engineering and Computer Science, Singapore, Z. Zakaria and S. S. Emamian, Eds., 2022// 2022: Springer Singapore, pp. 69-75.

[CT04] Le Duy Tien, Nguyen Manh Cuong, and Le Trung Thanh, "Fast and slow light enhancement using cascaded microring resonators with the Sagnac reflector", Optik - International Journal for Light and Electron Optics, vol. 131, pp. 292–301, Feb. 2017.

[CT05] Le Duy Tien and Le Trung Thanh, "Fano Resonance and EIT-like effect based on 4x4 Multimode Interference Structures", International Journal of Applied Engineering Research, vol. 12, no. 13, pp. 3784-3788, 2017.

[CT06] Le Duy Tien and Le Trung Thanh, "On-Chip Generation of PAM-4 Signals Based on a 3x3 MMI Architecture for Optical Interconnect and Computing Systems", Communications, Signal Processing, and Systems (pp.1064-1071), Proceedings of the 10th International Conference on Communications, Signal Processing, and Systems, Vol.1, DOI:10.1007/978-981-19-0390-8_134

[CT07] Le Duy Tien, Nguyen Ngoc Minh, and Le Trung Thanh, "Development of PAM-4 signaling for high performance computing, supercomputers and data center systems", Tạp chí khoa học công nghệ thông tin và truyền thông, Số 01 (CS.01) 2017.

[CT08] Le Duy Tien, Nguyen Ngoc Minh, and Le Trung Thanh, "Zero-Chirp and Low Power PAM-4 Modulation Based on SOI Cascaded Multimode Interference Structures", DOI: 10.13164/re.2022.0001, RADIOENGINEERING, vol. 31, no. 1, APRIL 2022.

[CT09] Le Duy Tien and Le Trung Thanh, "Coupled Resonator Induced Transparency (CRIT) Based on Interference Effect in 4x4 MMI Coupler", International Journal of Computer Systems (IJCS), vol. 4, no. 5, pp. 95-98, May 2017.

[CT10] Le Duy Tien, Nguyen Anh Tuan, and Le Trung Thanh, "Ultra-Low Power PAM-4 Generation Based on a Cascaded 2x2 MMI Coupler for Optical Interconnect and Computing Systems", International Journal of Microwave and Optical Technology, vol. 17, no. 1, 2022.